

(11)Publication number : 2004-296894
 (43)Date of publication of application : 21.10.2004

(51)Int.Cl. H01L 21/3205
 H01L 23/12
 H01L 23/52
 H01L 25/065
 H01L 25/07
 H01L 25/18

(21)Application number : 2003-088826
 (22)Date of filing : 27.03.2003

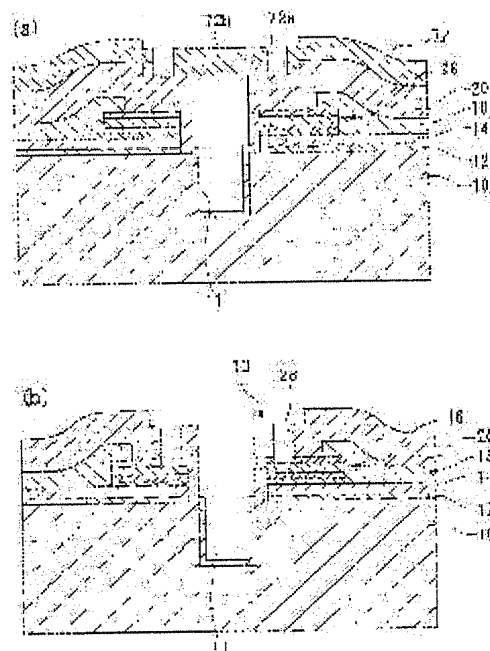
(71)Applicant : SEIKO EPSON CORP
 (72)Inventor : MASUDA KAZUHIRO

(54) PROCESS FOR FABRICATING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a process for fabricating a semiconductor device employing a step for preventing impurities from entering an opening easily when a substrate at least having a opening is etched.

SOLUTION: The process for fabricating a semiconductor device comprises a step for etching a substrate having a through hole 11 in a region different from the through hole 11, wherein etching is carried out after forming resist 72 on the substrate over the opening of the through hole 11 and then patterning the resist by exposure.



* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]

It is a manufacturing method of a semiconductor device including a process of etching in a field to which these openings differ to a substrate with an opening,

A manufacturing method of a semiconductor device characterized by etching after forming resist in a form over an effective area of said opening and patterning this resist by exposure to said substrate.

[Claim 2]

A manufacturing method of the semiconductor device according to claim 1 characterized by heat-treating to said substrate when forming said resist.

[Claim 3]

A laminating process which forms an electrode on a substrate,

An electrode ring formation process which forms an electrode ring which carries out an opening to said substrate face to said electrode,

A process of forming an insulating layer for the upper layer of this electrode with a wrap form from said electrode ring inner surface at least,

A process of being said electrode ring inner surface side, and forming an opening in a position corresponding to a substrate punching schedule part to said insulating layer,

A process of forming said electrode ring and a substrate hole open for free passage to said substrate by using this insulating layer as a mask,

A connecting hole formation process which carries out the opening of said insulating layer to a different field from said electrode ring, and exposes an upper layer surface of said electrode in said substrates face, It contains like a conductive member packer who fills up a conductive member with a form which stands in a row in said exposed electrode from an inside of said electrode ring and a substrate hole to inside of this electrode ring, a substrate hole, and a connecting hole of said insulator layer at least,

A manufacturing method of a semiconductor device forming resist in a form over an effective area of said electrode ring, and forming said connecting hole by etching after patterning this resist by exposure in said connecting hole formation process.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

This invention relates to the semiconductor device of the suitable composition especially for three-dimensional mounting technology about a semiconductor device, a semiconductor device, electronic equipment, and the manufacturing method of a semiconductor device.

[0002]

[Description of the Prior Art]

Now, the miniaturization of various kinds of electronic parts, such as a semiconductor chip in which the electronic equipment which mainly has portability, such as a portable telephone, a note type personal computer, and PDA (Personal data assistance), is formed in an inside for small size and a weight saving, is attained.

The space which mounts the electronic parts is also restricted extremely.

For this reason, for example in the semiconductor chip, that packaging method is devised and the micro packaging called CSP (Chip Scale Package) is thought out now. Since the semiconductor chip manufactured using this CSP art may have the packaging area comparable as the area of a semiconductor chip, high density assembly can be planned.

[0003]

However, as for the above-mentioned electronic equipment, it is expected that a miniaturization and multi-functionalization will be called for increasingly from now on.

The necessity of raising the packaging density of a semiconductor chip further came out.

Three-dimensional mounting technology which is indicated under [1] this background (for example, patent documents) has been thought out. This three-dimensional mounting technology is laminating the semiconductor chips which have the semiconductor chips which have the same function, or a different function, and making wiring connection of between each semiconductor chip, and is the art of planning high density assembly of a semiconductor chip.

[0004]

[Patent documents 1]

JP,2002-50738,A

[0005]

[Problem(s) to be Solved by the Invention]

By the way, in above-mentioned three-dimensional mounting technology, the art which makes wiring connection of between each semiconductor chip becomes very important. It is because it is necessary to strengthen connection between semiconductor chips and to secure the reliability of a semiconductor device not to mention it being a necessary condition that wiring is made as a design for the semiconductor device which consists of two or more semiconductor chips to exhibit an expected function.

[0006]

The semiconductor chip used for three-dimensional mounting technology has the electrode formed in the surface and the rear face of a semiconductor substrate, for example, and a breakthrough penetrated from the surface of a semiconductor substrate to a rear face, and has the electrode structure to which up-and-down electrodes were electrically connected via this breakthrough. And if the semiconductor chip which has such electrode structure is laminated, it will be connected with the electrode formed in the surface of other semiconductor chips, and, thereby, wiring connection of the electrode formed in the rear face of a certain semiconductor chip will be made between each semiconductor chip.

[0007]

In such a semiconductor device, when securing the reliability of the semiconductor device concerned, and it becomes an important element and electrical connection failure arises, for example, the connected state of an electrode, i.e., an electrical connection state, has **** which malfunction produces in the semiconductor device concerned. On the other hand, since many processes are needed for forming the above-mentioned electrode structure, there is a problem that manufacturing efficiency is bad. Although it becomes indispensable in the above-mentioned electrode structure to form a breakthrough, it is desirable, when it secures the cleanliness inside a hole that impurities, such as resist, do not enter in a series of manufacturing processes in this breakthrough and it improves conductivity.

[0008]

In light of the above-mentioned circumstances, when this invention etches to a substrate with an opening at least, It aims at providing the manufacturing method of the semiconductor device which can secure the much more good electrical connection state in a substrate penetration hole by adopting this method further in this opening for the purpose of providing the manufacturing method of the semiconductor device which adopted the process which an impurity cannot mix easily. It aims at providing the manufacturing method of the semiconductor device which can reduce a manufacturing cost and also can also improve the reliability of the device itself by controlling resist mixing into an opening while raising the manufacturing efficiency of the semiconductor device concerned.

[0009]

[Means for Solving the Problem]

In order to solve an aforementioned problem, a manufacturing method of a semiconductor device of this invention, It is a manufacturing method of a semiconductor device including a process of etching in a field to which these openings differ to a substrate with an opening, It etches, after forming resist in a form over an effective area of said opening and patterning this resist by exposure to said substrate. An "opening" said here is a meaning which contains in a concave a thing of shape where only the predetermined depth was dented from a substrate face, for example, and it may penetrate to a thickness direction of a substrate.

[0010]

According to such a manufacturing method, become difficult to mix resist in an opening, Washing in an opening after a resist application is not performed, but ** can also become possible [improving the conductivity of this contact hole], when [which secures very few openings of impurity mixing simple] things can be carried out, for example, this opening is used as a contact hole to a substrate sliding direction. When resist is applied in a form which infiltrated into an inside of an opening, resist is not applied around an opening but there is **** into which a substrate of this opening periphery will be etched

suddenly, but in this invention, it is hard to produce such fault. In other words, by this invention, it was able to be lost that resist remains in an opening base at least writing as what is formed so that this opening may be covered in a form which does not touch an opening base of an opening at least in resist, and dirt inside the opening concerned was able to be reduced.

[0011]

As a formation method of resist, a spin coat method or the roller coat method is employable under atmospheric pressure. As a kind of resist, although the usual resin material can be used, In applying resist to a thing with a depth of 70 micrometers and an aperture width (opening diameter) of a maximum of 30 micrometers about an opening, For example, it is good to use resist resin about the viscosity 10 – 60cp (mPa-s) (specifically 18cp (mPa-s)), and thickness of resist to form is good to be referred to as about (for example, 2.05 micrometers) 0.5–4.0 micrometers.

[0012]

When forming the above-mentioned resist, it shall heat-treat to a substrate. In this case, since a gas in an opening will expand with heating, resist becomes difficult to infiltrate in an opening and it becomes possible to form much more certainly resist of bridging ***** in alignment with an effective area.

[0013]

In order to solve an aforementioned problem, on the other hand, a manufacturing method of a semiconductor device of this invention, A laminating process which forms an electrode on a substrate as the different mode, and an electrode ring formation process which forms an electrode ring which carries out an opening to said substrate face to said electrode, A process of forming an insulating layer for the upper layer of this electrode with a wrap form from said electrode ring inner surface at least, [a process of forming an opening in a position corresponding to / are said electrode ring inner surface side, and / a substrate punching schedule part to said insulating layer, a process of forming a substrate hole which is open for free passage with said electrode ring to said substrate by using this insulating layer as a mask, and in said substrates face], A connecting hole formation process which carries out the opening of said insulating layer to a different field from said electrode ring and to which an upper layer surface of said electrode is exposed, In [contain like a conductive member packer who fills up a conductive member with a form which stands in a row in said exposed electrode from an inside of said electrode ring and a substrate hole to inside of this electrode ring, a substrate hole, and a connecting hole of said insulator layer at least, and] said connecting hole formation process, Resist is formed in a form over an effective area of said electrode ring, and said connecting hole is formed by etching, after patterning this resist by exposure.

[0014]

Since according to such a manufacturing method a flow can be taken between rear surfaces of a semiconductor device and another semiconductor device can be laminated at this surface and/or rear face by a conductive member inserted in an inside of a breakthrough containing an electrode ring and a substrate hole, It becomes possible to provide a semiconductor device by which three-dimensional mounting was carried out. Since a breakthrough was provided to an electrode, as compared with a case where a breakthrough is formed in a field in which an electrode on a substrate is not formed, space-saving-ization is attained and it can become possible to realize advanced features and a miniaturization of the semiconductor device concerned. Since it shall etch by forming resist in a form over an effective area of an electrode ring in a connecting hole formation process, It becomes difficult to mix resist in a substrate hole, and it can become possible to improve conductivity to a sliding direction of a conductive member which could carry out things and with which you made it filled up in this electrode ring and a substrate hole which does not perform washing special at the time of resist removing but where ** also secures very few clean substrate holes of impurity mixing simple.

[0015]

As a formation method of resist, a spin coat method or the roller coat method is employable under atmospheric pressure. As a kind of resist, although the usual resin material can be used, In applying resist to a breakthrough whose both doubling ***** is 70 micrometers and whose aperture width (opening diameter) is a maximum of 30 micrometers about an electrode ring and a substrate hole, For example, it is good to use resist resin about the viscosity 10 – 60cp (mPa-s) (specifically 18cp (mPa-s)), and thickness of resist to form is good to be referred to as about (for example, 2.05 micrometers) 0.5–4.0 micrometers.

[0016]

When forming the above-mentioned resist, it shall heat-treat to an electrode and/or a substrate. In this case, since a gas of an electrode ring and/or a substrate hole will expand with heating, resist becomes difficult to infiltrate in an electrode ring, and it becomes possible to form much more certainly resist of

bridging ***** in alignment with an effective area of an electrode ring.

[0017]

After patterning formed resist in this invention, shall etch by making this into a mask, but. Resist over such an effective area shall be made into temporary resist, another resist (this resist) as a lid shall be formed for this temporary resist, and it shall etch by using this this resist as a mask. It is also possible to use another resist together and to realize thick film-ization by temporary resist, when thick-film-izing is difficult.

[0018]

Here, although it may form using copper etc. although it is common to constitute aluminum as a subject as for an electrode, and the shape differs variously according to a design, one side may be making a square shape which is about 100 micrometers, for example. Aluminum and copper can be used also about a conductive member with which it is filled up in a breakthrough containing an electrode ring and a substrate hole, and when you make it filled up with copper, Cu damascene process can be adopted. That is, a breakthrough can be made to be able to fill up with copper with a CVD method, electric field plating, etc., and a conductive member can be formed by a method of carrying out polish removal of the surface by CMP. Thus, when copper is used as a conductive member for contact buttons, low resistance-ization suitable for a high-speed device will be realized, and it can become a very advantageous semiconductor device.

[0019]

As pore shape (axial sectional shape or aperture shape) of a breakthrough which consists of the above-mentioned electrode ring and a substrate hole, it is circular and also polygons, such as a quadrangle, are employable. Two or more breakthroughs are formed to one electrode, a conductive member is inserted in in each breakthrough, it can also be possible to realize three-dimensional mounting and improvement in mechanical stability in up-and-down connection and electric stability can be aimed at now in this case.

[0020]

[Embodiment of the Invention]

Hereafter, the embodiment of this invention is described with reference to drawings. In order to make each class and each member into the size of the grade which can be recognized on a drawing in each figure, contraction scales are made to have differed for each class or every member in this embodiment.

[0021]

(A 1st embodiment)

About a 1st embodiment of the semiconductor device manufactured by the method of this invention, drawing 1 is the important section a shown partial cross section, and the semiconductor device 100, Three-dimensional mounting of the semiconductor device body part 1 of composition of that the electrode pad 16 was laminated via the interlayer insulation film 14 which consists of the insulator layer 12 and SiO_2 which consist of oxidizing films on the silicon substrate 10 is carried out.

[0022]

While coming to laminate the insulator layer 12 about 4000 Å thick, the interlayer insulation film 14 about 10000 Å thick, and the electrode pad 16 about 8000 Å thick on the silicon substrate 10, each semiconductor device body part 1, The breakthrough 11 which penetrates these silicon substrates 10, the insulator layer 12, the interlayer insulation film 14, and the electrode pad 16 to a laminating direction is provided, and the contact button 24 which consists of conductive members is inserted in the breakthrough 11 inside. On the electrode pad 16, the passivation film 18 of diameter expansion is formed rather than the breakthrough 11 of this electrode pad 16. The insulating layer 20 is laminated on the electrode pad 16 and the passivation film 18, and this insulating layer 20 possesses the insulating wall part 13 which faces the breakthrough 11 while possessing the connecting hole 28 to the field in which the passivation film 18 on the electrode pad 16 is not formed. The insulating layer 20 was extended and formed even in breakthrough 11 inner surface from the electrode pad 16, was located between the electrode pad 16 and the contact button 24, and has insulated these.

[0023]

The insulating layer 20 is still more specifically formed with a wrap form in the upper layer surface of the electrode pad 16, and the inner surface of the breakthrough 11, It comes to provide the connecting hole 28 for connecting the contact button 24 with the electrode pad 16 at least in a different position in the field of the breakthrough 11 and the substrate 10, and the insulating wall part 13 is allocated between these connecting holes 28 and the breakthrough 11. Thus, the insulating wall part 13 has at least annular heights which project from the surface of this electrode pad 16 over the inner surface of the breakthrough 11, and possesses the pore to which self also meets the breakthrough 11.

[0024]

the hole of the insulating layer 20 provided with such an insulating wall part 13 -- inside, the above-mentioned contact button 24 is inserted in via the ground film 22. The contact button 24 formed in breakthrough 11 inside is connected with the electrode pad 16 in the connecting hole 28 in the form over the insulating wall part 13 of the insulating layer 20 from this breakthrough 11. In this embodiment, the level difference is formed in near the boundary of the substrate 10 of breakthrough 11 inner surface, and the insulator layer 12, it learns from this and the level difference is formed in the contact surface with the hole of the contact button 24. Although the aperture shape (hole-axis sectional shape) of the breakthrough 11 is a round shape, it is also possible to adopt the thing of polygonal shape, such as a quadrangle.

[0025]

the 1st which the electrode pad 16 is 100A in thickness, and consists of Ti -- layer 16a. 16 d which is about 1000A in thickness, is 2nd layer 16b and about 5000A in thickness which consist of TiN(s), is 3rd layer 16c and about 400A in thickness which consist of AlCu(s), and consists of TiN(s) of layer [4th] (cap layer) is laminated in order, and it is formed. it mentioned above -- as -- the hole of the electrode pad 16 -- the insulating layer 20 possessing the insulating wall part 13 is formed in the inner surface, and, on the other hand, the contact button 24 is superficially connected with the electrode pad 16 via the connecting hole 28 ranging over this insulating wall part 13 from the breakthrough 11. Namely, the contact button 24 with which breakthrough 11 inside was filled up, The connecting hole 28 formed in the insulator layer 20 in a different position from the punched surface of the breakthrough 11 with the wrap in the insulating wall part 13 top of the insulating layer 20 selectively formed in the position which faces the breakthrough 11 on the electrode pad 16 is also filled up, and it is connected with the electrode pad 16. The opening of the 3rd layer of the connecting hole 28 is carried out even to 16c in the form which also penetrates 16 d of the electrode pad 16 of layer [4th] (cap layer).

[0026]

The connecting hole 28 with which connection with the above electrode pads 16 and the contact buttons 24 is presented will be possible also for forming a large number to the one electrode pad 16, and will become what has the firm mechanical-connections intensity of the electrode pad 16 and the contact button 24 in this case, and its connection stability of that will improve.

[0027]

The plating film 19 which consists of tin-silver is formed in the contact button 24 upper layer, and lamination connection of the different semiconductor device body part via this plating film 19 is made. In the semiconductor device body part 1, from the breakthrough 11 of the silicon substrate 10, the contact button 24 projects a little and is formed, It will be connected via the contact button and plating film of a semiconductor device body part in which the projected portions differ, and fills up with philharmonic 25 an undershirt between the layers of each laminated semiconductor device body part.

[0028]

According to the semiconductor device 100 of such this embodiment, a flow can be taken between the rear surfaces of the semiconductor device body part 1 with the contact button 24 inserted in breakthrough 11 inside, Since it is possible to laminate another semiconductor device body part at this surface and/or rear face, it becomes possible to carry out three-dimensional mounting of the semiconductor device body part 1. And since the breakthrough 11 was formed in electrode pad 16 inside, as compared with the case where a breakthrough is formed in the field in which the electrode pad 16 on the silicon substrate 10 is not formed, space-saving-ization is attained and it can become possible to realize advanced features and a miniaturization of the semiconductor device concerned.

[0029]

In the semiconductor device 100 of such this embodiment, connection between the contact button 24 and the electrode pad 16 is not directly made from the contact button 24 of breakthrough 11 inside via a punched surface to the electrode pad 16, It writes as what is connected with the electrode pad 16 in the form over the insulating wall part 13 of composition of having projected from the electrode pad 16 over the inner surface of the breakthrough 11, The contact button 24 serves as composition which will be connected with the electrode pad 16 across the insulating wall part 13 top that is, in which the contact button 24 carried out the plane of composition to the both sides of the insulating wall part 13 and the electrode pad 16. In this case, in a plane of composition with the contact button 24, the insulating wall part 13, and the electrode pad 16, the level difference only for the thickness of the insulating wall part 13 (a part to have projected on the electrode pad 16) arises at least, It becomes it is flat-tapped without a level difference, and possible for the adhesion power to become high and to, stabilize the electrical connection state between the contact button 24 and the electrode pad 16 as a result as compared with the case where the contact button 24, the insulating wall part 13, and the electrode pad 16 are stuck. Therefore, it

will be hard to produce the malfunction of the semiconductor device 100 based on electrical connection failure, and the reliability of the semiconductor device 100 concerned will improve.

[0030]

Hereafter, the example is explained about the manufacturing method of the semiconductor device 100 shown in drawing 1. Drawing 2 – drawing 6 are process drawings showing the process relevant to this invention of a series of processes of manufacturing the semiconductor device 100, with a sectional view. Although the case where various processing is performed to semiconductor substrates, such as a silicon wafer, is mentioned as an example and explained in this embodiment, It may not process to the semiconductor substrate in the state where many semiconductor chips are formed itself, but processing shown below to each semiconductor chip may be performed. In the case of a semiconductor chip, it is generally a rectangular parallelepiped (a cube is included), but the shape may not be limited but may be cylindrical shape (the shape of a ball is included).

[0031]

First, the composition of the semiconductor substrate of a processing object is explained. The insulator layer 12 is formed in the surface of the substrate (silicon substrate) 10 which consists of silicon etc. in which the integrated circuit which consists of the transistor, the memory device, and other electronic devices which are not illustrated was formed in drawing 2 (a). This insulator layer 12 is formed with the oxide film (SiO_2) of Si (silicon) which is a fundamental material of the substrate 10, for example.

[0032]

On the insulator layer 12, the interlayer insulation film 14 which consists of **** silica glass (henceforth BPSG), for example is formed. In the semiconductor device which has multilayer interconnection structure, when it has 3 layered wiring structure, for example, the following interlayer insulation film 14a and also its following interlayer insulation film 14b will be laminated on the interlayer insulation film 14. That is, when it has n layer multilayer interconnection structure, the interlayer insulation film for a n layer will be laminated (not shown). Silicon oxide and the low dielectric constant film whose thickness is 5000Å – 10000Å are applied to each interlayer insulation film. On the interlayer insulation film 14, the electrode pad 16 as an electrode electrically connected with the integrated circuit formed in the substrate 10 in the part which is not illustrated is formed. This electrode pad 16 laminates in order 16 d [which consists ofc / 16 / and TiN (s) 3rd layer] which consists of Ti (titanium), which consists of 16a and TiN(s) (titanium nitride) the 1st layer, which consists of 16b and AlCu(s) (aluminum/copper) the 2nd layer of layer [4th] (cap layer), and is formed.

[0033]

the electrode pad 16 — sputtering — 1st layer 16a— the laminated structure which consists of 16d of layer [4th] is formed the whole surface on the interlayer insulation film 14, and it is formed by patterning after predetermined shape (for example, circular shape) using resist etc. Although the case where the electrode pad 16 is formed of the above-mentioned laminated structure is mentioned as an example, this embodiment explains it, and the electrode pad 16 may be formed only with aluminum, it is preferred to form using copper with low electrical resistance. The electrode pad 16 is not restricted to the above-mentioned composition, but may be suitably changed according to the electrical property, the physical characteristic, and chemical property which are needed.

[0034]

Along with at least one side (in the cases of many two sides or four sides) of the field of the formed semiconductor chip, the electrode pad 16 is located in a line, and is formed in the substrate 10. This electrode pad 16 may be formed along with the case where it is formed along with the neighborhood of the field of each semiconductor chip, and a center section. The electronic circuit is not formed under the electrode pad 16.

[0035]

On the interlayer insulation film 14, the passivation film 18 as a protective layer is formed so that the electrode pad 16 may be covered. This passivation film 18 can be formed by SiO_2 (oxidized silicon), SiN (silicon nitride), polyimide resin, etc.

[0036]

Next, each process performed to the semiconductor substrate of the above composition is explained one by one. First, it applies the whole surface on the passivation film 18 which showed drawing 2 (a) resist (graphic display abbreviation) by methods, such as a spin coat method, a dipping method, and a spray coating method. This resist may be used in order to carry out the opening of the passivation film 18 which has covered the electrode pad 16 top, it may be any of photoresist, an electron beam resist, and X ray resist, and may be any of a positive type or a negative mold.

[0037]

After applying resist on the passivation film 18, resist is patterned after specified shape by performing prebaking and performing exposing treatment and a development using the mask in which the predetermined pattern was formed. The shape of resist is set up according to the aperture shape of the electrode pad 16, and specifically has a circular opening part with a diameter of 60 micrometers. As postbake is performed after patterning of such resist and it is shown in drawing 2 (b), some wrap passivation films 18 are etched for the electrode pad 16, and the opening H1 is formed. Drawing 2 (b) is a sectional view showing the state where carried out the opening of the passivation film 18, and the opening H1 was formed.

[0038]

It is preferred to apply dry etching to etching. Dry etching may be reactive ion etching (RIE:Reactive Ion Etching). Wet etching may be applied as etching. The sectional shape of the opening H1 formed in the passivation film 18 is set up according to the aperture shape of the electrode pad 16 formed at the process mentioned later, and the path is set as a larger path than the path of the opening formed in the electrode pad 16.

[0039]

An end of the above process will carry out the opening of the electrode pad 16, the interlayer insulation film 14, and the insulator layer 12 by dry etching by using as a mask resist 71 on the passivation film 18 in which the opening H1 was formed. Drawing 2 (c) is a sectional view showing the state where carried out the opening of the electrode pad 16, the interlayer insulation film 14, and the insulator layer 12, and the opening H2 was formed. RIE can be used as dry etching.

[0040]

Here, although the opening of the electrode pad 16, the interlayer insulation film 14, and the insulator layer 12 shall be carried out at the same process, after carrying out the opening of the electrode pad 16, for example, it is good also as what carries out the opening of the interlayer insulation film 14 and the insulator layer 12 by a separated process. That is, in the above-mentioned process, although etching was repeated using the same resist mask, resist shall be repatterned after each end of an etching process. It is possible to also make the substrate 10 expose, as exfoliate resist after carrying out the opening of the opening H2 formed in the electrode pad 16, and TiN of the outermost surface of the electrode pad 16 is used as a mask, the interlayer insulation film 14 and the insulator layer 12 are etched and it is shown in drawing 2 (c).

[0041]

By the above processes, as shown in drawing 2 (c), the surface of the substrate 10 is exposed. Then, the resist formed on the passivation film 18 used as an opening mask is exfoliated by release liquid or ashing.

[0042]

If the opening of the interlayer insulation film 14 and the insulator layer 12 shall be carried out by a separated process after carrying out the opening of the electrode pad 16 in this way, the semiconductor device 300 containing the semiconductor device body part 300 as shown, for example in drawing 8 can be provided. That is, the aperture of the breakthrough formed in the electrode pad 16 will differ from the aperture of the breakthrough formed in the interlayer insulation film 14 and the insulator layer 12, and, as a result, a level difference will be formed in the inner surface of the breakthrough 11 in near the boundary of this electrode pad 16 and the interlayer insulation film 14. In this case, it becomes difficult to produce fault, like the contact button 24 escapes from the breakthrough 11, and it becomes possible to raise the stability of the connected state of the contact button 24 and the breakthrough 11.

[0043]

Next, as shown in drawing 3 (a), the hard surface mask blank 29 for etching for punching the substrate 10 is formed. The hard surface mask blank 29 shall form the upper layer surface of the passivation film 18 and the electrode pad 16, and the inner surface of the opening H2 in a wrap mode, for example, can form them with a CVD method etc. using insulating materials, such as SiO_2 . Thus, after forming the hard surface mask blank 29 completely, as shown in drawing 3 (a), at the bottom of the opening H2, the opening H5 of the hard surface mask blank 29 is formed, and the surface of the substrate 10 is exposed to the opening H2. Here, etching using the resist which has an opening corresponding to the opening H5 punched the hard surface mask blank 29. It is preferred to apply dry etching to etching. Dry etching may be reactive ion etching (RIE:Reactive Ion Etching).

[0044]

And using the hard surface mask blank 29 provided with this opening H5, dry etching punches the substrate 10, as shown in drawing 3 (b). Here, ICP (Inductively Coupled Plasma) other than RIE can be used as dry

etching. Drawing 3 (b) is a sectional view showing the state where punched the substrate 10 and the pore H3 was formed. The opening H5 of the hard surface mask blank 29 is made into the opening diameter of 30 micrometers – 50 micrometers (for example, 30 micrometers) in consideration of over-etching at the time of substrate punching (side etch).

[0045]

Since the substrate 10 is here punched by using as a resist mask the hard surface mask blank 29 formed in the passivation film 18 and electrode pad 16 top, and the opening H1 and H2 inner surface, As shown in drawing 3 (b), the path of the pore H3 formed in the substrate 10 will become smaller than the path of the opening H2 formed in the electrode pad 16. As a result, the level difference part which some substrates 10 project will be formed in the opening H1, H2, and the breakthrough that opens the pore H3 for free passage.

[0046]

In forming a hole about 70 micrometers deep to the substrate 10 about the thickness of the hard surface mask blank 29, For example, ortho-silicic-acid 4 ethyl (below Tetra Ethyl Ortho Silicate: $\text{Si}(\text{OC}_2\text{H}_5)_4$; calls it TEOS) is used as a raw material, It is necessary to form about 2 micrometers of silicon oxide formed using PECVD (Plasma Enhanced Chemical Vapor Deposition), i.e., the silicon oxide formed by the PE-TEOS method. As a formation method of the hard surface mask blank 29, besides the PE-TEOS method, Silicon oxide is formed with a heat CVD method using ozone and TEOS, namely, it is also possible to form with the plasma excitation CVD method of the O_3 -TEOS method or a SiH_4 - N_2O system, and a SiH_4 - O_2 system.

The hard surface mask blank 29 will also be thin-film-ized by the substrate punching process, and thickness will decrease to 1000A – about 9000A after this punching process. That is, in this embodiment, the thickness of the hard surface mask blank 29 was set up become a bigger value than the amount of over etching.

[0047]

Here, in the photoresist mask usually used, since the tolerance of dry etching is scarce, to 70-micrometer perforating, an about 10-micrometer resist mask is required, and it is connected with a cost hike with a thick film, and also an aspect ratio becomes large also in process and it is inefficient-like. However, according to the above hard surface mask blanks 29, thickness can be made thin and an efficient manufacturing process can be realized with cost reduction.

[0048]

Although the round shape is adopted by this embodiment as aperture shape of the opening H5 of the hard surface mask blank 29, polygons, such as a quadrangle, can be adopted and either PFC system dry etching or BHF system wet etching is suitable for an opening process.

[0049]

An end of the above process will remove the lobe 29a of the hard surface mask blank 29 by which the pore H3 twist was also projected and left behind to the hole inside by etching. Namely, about the hard surface mask blank 29 left behind to the opening wall of the electrode pad 16, the interlayer insulation film 14, and the insulator layer 12. The lobe 29a projected rather than the pore H3 is removed selectively, and it etches so that the insulator layer 29 of a thin film may remain in the opening wall of the electrode pad 16, the interlayer insulation film 14, and the insulator layer 12, as shown in drawing 4 (a). Drawing 4 (a) is a sectional view showing the state where the insulator layer 20 was made to remain in the upper part of the electrode pad 16, and the wall of the opening H2. What (it is made to remain) the thin layer insulator layer 29 is formed in the opening wall of the electrode pad 16, the interlayer insulation film 14, and the insulator layer 12 for in the form where it has a larger opening diameter than the opening diameter of the pore H3 by performing such etching is possible. The opening diameter of a portion corresponding in the electrode pad 16 of the thin layer insulator layer 29 in this case is made equivalent to the opening diameter of the formed substrate penetration hole, and the formed opening diameter of an electrode ring. For example, in the opening diameter of a substrate penetration hole, the opening diameter of a portion corresponding in the electrode pad 16 of the thin layer insulator layer 29 serves as 40 micrometers – the 58-micrometer (for example, 50 micrometers) grade of a value in the meantime, when the opening diameter of 30 micrometers and an electrode ring is 60 micrometers.

[0050]

Next, after removing the resist for lobe 29a removal, coating treatment of an insulator layer is performed on the insulator layer 29 and in the pore H3. Here, as about 1 micrometer of silicon oxide shall be formed by the PE-TEOS method and it is shown in drawing 4 (b) as a result, the insulator layer 20 can be formed in breakthrough 11 inside which was open for free passage to the substrate 10, the insulator layers 12 and 14, and the electrode pad 16.

[0051]

Then, as shown in drawing 5 (a), the resist 72 is applied on the insulator layer 20. in this case, the resist resin to be used -- JSR-PFR-IX by JSR -- 410 viscosity, 18 cp (mPa-s), after carrying out low-temperature ADOHYUJON processing of the insulator layer 20 top for 35 seconds at 60 ** at least, the bottom spin coat of atmospheric pressure was carried out at the main number of rotations of 2300 rpm. The coating film thickness at this time was 20500A.

[0052]

After it uses this resist 72 in order to carry out the opening of some upper electrode pads 16, and it applies this resist 72, it performs prebaking (90 **, 180 sec), and performs exposing treatment (300msec) and a development using the mask in which the further predetermined pattern was formed. The development sequence in this case performs post exposure bake on 110 ** and the conditions of 90 sec, and performs 115 ** of postbakes 120 sec after developing. As a result, the resist 72 becomes the shape in which resist was left behind only to portions other than the upper part of the electrode pad 16, the pore H3 (breakthrough 11), and its periphery, for example, the annulus ring shape centering on the breakthrough 11 (a periphery is included). That is, the resist 72 is patterned so that it may have the covering device 72b of the shape of a bridge of composition of closing the breakthrough 11, and the opening 72a is formed in the position superficially superimposed on the electrode pad 16 of the resist 72.

[0053]

In this case, in a different field from the hole (field equivalent to the breakthrough 11) formed in the insulator layer 20, i.e., the field equivalent to the opening 72a of the resist 72, it becomes possible to punch the insulator layer 20 at least. And since it is formed in the effective area of this breakthrough 11 ranging over the shape of a bridge, without the resist 72 infiltrating into breakthrough 11 inside, Even if it becomes difficult to mix resist in the breakthrough 11 and does not wash the inside of the breakthrough 11 after a resist application, it can become possible to improve the conductivity of the contact button 24 (refer to drawing 1) which can carry out things and is formed in the breakthrough 11 which secures very few breakthroughs 11 of impurity mixing simple. When the resist 72 is applied in the form which infiltrated into breakthrough 11 inside, resist is not applied around breakthrough 11 but there is **** into which the insulator layer 20 of this breakthrough 11 periphery will be etched suddenly, but in this embodiment, it is hard to produce such fault.

[0054]

As a formation method of the resist 72, the roller coat method etc. are employable besides a spin coat method. Although the usual resin material could be used as a kind of resist, since the depth was 70 micrometers and an aperture was 30 micrometers, by this embodiment, the thing about the viscosity 10 - 60cp (mPa-s) (specifically 18cp (mPa-s)) was used about the breakthrough 11. When forming the resist 72, it shall heat-treat to the substrate 10 containing the insulator layer 20. In this case, since the gas in the breakthrough 11 expands with heating, the resist 72 becomes much more difficult to infiltrate in the breakthrough 11, and it becomes possible to form much more certainly the resist 72b of bridging ***** in alignment with an effective area.

[0055]

After patterning of resist is completed and performing postbake, some electrode pads 16 by removing the wrap insulator layer 20 by etching. In the state where the insulating wall part 13 was made to remain on the outskirts of breakthrough 11 of the electrode pad 16 as shown in drawing 5 (b), the opening of the connecting hole 28 is carried out to the insulator layer 20 of the upper layer of this electrode pad 16. Drawing 5 (b) is a sectional view showing the state where some wrap insulator layers 20 were removed for the electrode pad 16. As shown in drawing 5 (b), the connecting hole 28 is formed in the field except the opening periphery (breakthrough periphery) of the electrode pad 16, and it will be in the state where some electrode pads 16 were exposed. The contact button (polar zone) and the electrode pad 16 which are formed at a next process of this connecting hole 28 are connectable.

[0056]

After the above process is completed, as shown in drawing 6 (a), the process of forming the ground film 22 containing a barrier layer and a seed layer is performed at the inner surface and pars basilaris ossis occipitalis of the surface of the insulator layer 20, the exposed part of the electrode pad 16, and the breakthrough 11, and it is further carried out like the packer of the contact button 24 to them. Drawing 6 (a) is a sectional view showing the state where the ground film 22 and the contact button 24 were formed. As shown in drawing 6 (a), the ground film 22 fully covers the insulating wall part 13 and connecting hole 28 inside, and is continuously formed on the electrode pad 16 and the insulator layer 20.

[0057]

After formation of the ground film 22 is completed when forming the contact button 24, the resist for forming a contact button is applied, Next, electrochemistry plating (ECP) While performing plating treatment on the ground film 22 using law in the form containing the inside of the breakthrough 11 and the connecting hole 28 and embedding breakthrough 11 inside with copper, ranging over the insulating wall part 13, copper shall be embedded also to connecting hole 28 inside. Thus, in the connecting hole 28 of a field which is different in the breakthrough 11, the contact button 24 and the electrode pad 16 are electrically connected, and the contact button 24 used as the exterior electrodes by the side of the surface of the substrate 10 is formed.

[0058]

Then, resist is exfoliated and the state where it is shown in drawing 6 (b) is formed by removing the unnecessary part (graphic display abbreviation) of a barrier layer and a seed layer by etching.

[0059]

The rear face of the substrate 10 is ground and the electrode electrically connected with the exposed contact button 24 is formed until the contact button 24 exposes to the rear face of the substrate 10 the semiconductor device body part manufactured through the above process, for example. And the semiconductor device body part by which the electrode was formed in both the surfaces and rear faces of the substrate 10 is laminated, Or the three-dimensional mounting type (stacked mold) semiconductor device in which high density assembly is possible is manufactured by laminating including at least one semiconductor device body part by which the electrode was formed in both the surfaces and rear faces of the substrate 10, and wiring between semiconductor device body parts. It may be made to join the electrode of the semiconductor device body part arranged up and down, in order to laminate each semiconductor device body part, taking an electric flow with the filter media 19 (refer to drawing 1), such as solder.

[0060]

It may be made to join the electrode of the semiconductor device body part arranged up and down, in order to laminate each semiconductor device body part, taking an electric flow with filter media, such as solder. The binder only for joining a semiconductor device body part may be used. These adhesives may be liquefied or gel adhesives, and may be sheet shaped adhesion sheets. Adhesives may use an epoxy resin as the main materials, and may be insulating things.

[0061]

It not only may join semiconductor device body parts with adhesives, but when taking an electric flow, it may use the adhesives having contained the conductive substance. This conductive substance comprises particles, such as a filter medium and solder, and they are distributing it in the charge of a binder, for example. By carrying out like this, at the time of junction of connection bodies, the particle can work as a low of junction and junction nature can be improved still more remarkably.

[0062]

Adhesives may be the anisotropic conductive adhesive by which electric conduction particles were distributed (ACA), for example, an anisotropic conducting film, (ACF), and anisotropy conductive paste (ACP). As for anisotropic conductive adhesive, electric conduction particles (filler) were distributed by the binder and a dispersing agent may be added. As a binder of anisotropic conductive adhesive, thermosetting adhesives are used in many cases. In that case, electric conduction particles intervene between a circuit pattern and an electrode, and electric connection between both is achieved.

[0063]

The metal junction by Au-Au, Au-Sn, solder, etc. may be applied to inter-electrode electric connection. For example, such materials are provided in an electrode, and only heat impresses supersonic vibration or supersonic vibration, heat, etc., and joins both. If both are joined, of vibration or heat, the material provided in the electrode will be spread and metal junction will be formed.

[0064]

An external terminal is connected to the contact button 24 of the semiconductor device body part which is laminated as mentioned above and located in the bottom (or top) of the three-dimensional mounting type semiconductor device formed. It is not necessarily restricted to these and what is necessary is just to form it by a conductive member, although this external terminal can be formed with solder or metal. A solder ball is not necessarily required, may mount a semiconductor device body part on a substrate, and may constitute a semiconductor module. A solder ball is not formed, but the Khandaq ream applied to the mother board side at the time of mother board mounting is used, and it is very good in electric connection at the surface tension at the time of the melting.

[0065]

As explained above, according to the manufacturing method of the semiconductor device by this embodiment. After carrying out the opening of the passivation film 18, carrying out the opening of the electrode pad 16 succeeding and forming the opening H2 in the electrode pad 16, it was further formed in the opening wall of the electrode pad 16, the interlayer insulation film 14, and the insulator layer 12, and the substrate 10 is punched by using as a mask the upper surface of the passivation film 18 and an opening wall, and the hard surface mask blank 29 that has the own opening H5 at the opening pars basilaris ossis occipitalis. For this reason, it becomes possible to form a level difference part in a breakthrough inner surface in the laminating direction from the substrate 10 to the electrode pad 16, and it becomes possible to contribute to omission prevention of the contact button 24 formed in the inside of that breakthrough.

[0066]

Since the resist 72 was patterned so that it might have the covering device 72b of the shape of a bridge of composition of facing forming the connecting hole 28 in the insulator layer 20, and closing the breakthrough 11 as mentioned above, even if the resist 72 is prevented from infiltrating into breakthrough 11 inside and it does not wash the inside of the breakthrough 11 after a resist application, very few breakthroughs 11 of impurity mixing are secured simple — things can be carried out. As a result, it can become possible to improve the conductivity of the contact button 24 (refer to drawing 1) formed in the breakthrough 11.

[0067]

Since according to this embodiment the opening H2 (breakthrough 11) is punched and the contact button 24 is formed in the electrode pad 16 allocated in the field in which the semiconductor device is not formed, Compared with the case where the contact button 24 is formed, the area of a semiconductor device can be effectively used for a different position from the formation position of the electrode pad 16, and the flexibility of a design of a semiconductor device improves as the result. When the contact button 24 was formed in a different position from the formation position of the electrode pad 16 here, the size of the contact button 24 might be restricted, but. In this embodiment, since the size of the contact button 24 can be made into a size comparable as the electrode pad 16, the area connected with other semiconductor devices by this can become large, and the reliability and the reliability of a semiconductor device can be raised as the result.

[0068]

Copper is used as a conductive member which constitutes the contact button 24 from this embodiment, and when you make it filled up with copper, Cu damascene process can be adopted. That is, the pore H3 can be made to be able to fill up with copper with a CVD method, electric field plating, etc., and the contact button 24 can be formed by the method of carrying out polish removal of the portion which does not need the surface surface by CMP. Of course, the contact button 24 can also constitute aluminum other than copper, etc. as a subject.

[0069]

(A 2nd embodiment)

Next, a 2nd embodiment of the semiconductor device of this invention is described. Drawing 7 is a figure which is a partial cross section showing the important section, and is equivalent to drawing 1 of a 1st embodiment about the semiconductor device of a 2nd embodiment. The semiconductor device 200 of a 2nd embodiment is what carries out the plural laminates of the semiconductor device body part 1 of composition of that the electrode pad 16 was laminated via the insulator layer 12 and the interlayer insulation film 14 on the silicon substrate 10, A greatly different point from a 1st embodiment is a point that the breakthrough 11 which penetrates the silicon substrate 10, the insulator layer 12, the interlayer insulation film 14, and the electrode pad 16 is formed flat-tapped. Therefore, about the thing of the same composition as drawing 1, the same numerals as this drawing 1 are attached, and explanation is omitted.

[0070]

The breakthrough 11 which is flat-tapped with the laminating direction of the silicon substrate 10 and the electrode pad 16 as for each semiconductor device body part 2, and is penetrated is provided, and the contact button 24 which consists of conductive members is inserted in breakthrough 11 inside of this. According to the semiconductor device 200 of such this embodiment, the inner surface of the breakthrough 11 is flat-tapped, and since it is formed in the state where a level difference does not arise, the plating treatment to the breakthrough 11 inner surface concerned, etc. become easy, and it becomes possible to form a uniform thin film as compared with the case where there is a level difference.

[0071]

Since it is possible to be able to take a flow between the rear surfaces of the semiconductor device body part 2 with the contact button 24 inserted in breakthrough 11 inside also in this embodiment, and to laminate another semiconductor device body part at this surface and/or rear face, It becomes possible to

carry out three-dimensional mounting of the semiconductor device body part 2. And since the breakthrough 11 was formed in electrode pad 16 inside, as compared with the case where a breakthrough is formed in the field in which the electrode pad 16 on the silicon substrate 10 is not formed, space-saving-ization is attained and it can become possible to realize advanced features thru/or a miniaturization of the semiconductor device concerned.

[0072]

In the semiconductor device 200 of such this embodiment, connection between the contact button 24 and the electrode pad 16 is not directly made from the contact button 24 of breakthrough 11 inside to the electrode pad 16. It writes as what is superficially connected with the electrode pad 16 in the form over the insulating wall part 13 of composition of having projected from the electrode pad 16 over the inner surface of the breakthrough 11. The contact button 24 serves as composition which will be connected with the electrode pad 16 across the insulating wall part 13 top that is, in which the contact button 24 carried out the plane of composition to the both sides of the insulating wall part 13 and the electrode pad 16. In this case, in a plane of composition with the contact button 24, the insulating wall part 13, and the electrode pad 16, the level difference only for the thickness of the insulating wall part 13 arises at least, and when it is flat-tapped without a level difference and the contact button 24, the insulating wall part 13, and the electrode pad 16 are stuck, it compares. It becomes possible for the adhesion power to become high and to, stabilize the electrical connection state between the contact button 24 and the electrode pad 16 as a result.

[0073]

About the manufacturing method of the semiconductor device 200 shown in drawing 7, it is good to perform the opening process over the electrode pad 16 and the insulator layers 12 and 14 as shown in drawing 2 (c) from drawing 2 (b), and the punching process over the substrate 10 at the same process. It becomes same omitting the opening diameter of each class by this, and there is no level difference, or the breakthrough 11 with few level differences can be formed. When some level difference arises also by such a method, it is good also as what removes the portion of the level difference by etching.

[0074]

After performing the punching process over the above substrates 10, the connecting hole 28 and the ground film 22 as shown in the insulator layer 20 as shown in drawing 4 (b), and drawing 5 can be formed, and the semiconductor device body part 2 which does not have a level difference in the breakthrough 11 can be obtained by being filled up with the contact button 24. Of course, it is good to form the connecting hole 28 by the resist 72 provided with the covering device 72b of the shape of a bridge as shown in drawing 5 (a) also in this case.

[0075]

(A 3rd embodiment)

Drawing 9 is a perspective view showing the outline composition of the 1 embodiment slack circuit board of the semiconductor device of this invention. As shown in drawing 9, the semiconductor device 102 of this embodiment possesses the composition with which the above-mentioned semiconductor device 100 (200,300) was carried on the circuit board 101. It is common to the circuit board 101 to use organic system boards, such as a glass epoxy board. The electric flow is taken using the anisotropic conducting film which it is formed in the circuit board 101 so that the circuit pattern which consists of copper etc. may serve as a desired circuit, and those circuit patterns and circuit patterns of the semiconductor device 100 were mechanically connected, or was mentioned above.

[0076]

The note type personal computer 201 is shown in drawing 10 as electronic equipment which has a semiconductor device possessing the semiconductor device of this embodiment. The semiconductor device shown in drawing 9 is arranged inside the case of each electronic equipment.

[0077]

Electronic equipment is not necessarily restricted to an above-mentioned notebook computer and cellular phone, and can be applied to various electronic equipment. For example, the personal computer (PC) and engineering workstation (EWS) of a liquid crystal projector and multimedia correspondence, It is possible to apply to electronic equipment, such as a device provided with the videotape recorder of a pager, a word processor, television, a viewfinder type, or a monitor direct viewing type, an electronic notebook, the electronic calculator, the car navigation device, the POS terminal, and the touch panel.

[Brief Description of the Drawings]

[Drawing 1] The cross section showing outline composition about the semiconductor device of a 1st embodiment.

[Drawing 2] The cross section showing one manufacturing process of the semiconductor device of drawing 1.

[Drawing 3] The cross section showing one manufacturing process of a semiconductor device following drawing 2.

[Drawing 4] The cross section showing one manufacturing process of a semiconductor device following drawing 3.

[Drawing 5] The cross section showing one manufacturing process of a semiconductor device following drawing 4.

[Drawing 6] The cross section showing one manufacturing process of a semiconductor device following drawing 5.

[Drawing 7] The cross section showing outline composition about the semiconductor device of a 2nd embodiment.

[Drawing 8] The cross section showing outline composition about the example of a changed completely type of a semiconductor device.

[Drawing 9] The perspective view showing outline composition about the semiconductor device of a 3rd embodiment.

[Drawing 10] The perspective view showing outline composition about the 1 embodiment of electronic equipment.

[Description of Notations]

1, 2 -- A semiconductor device body part, 10 -- A silicon substrate (substrate), 11 -- Breakthrough (opening), 13 [-- An insulator layer, 24 / -- A contact button (conductive member) 72 / -- Resist, 100, 200, 300 / -- A semiconductor device, 102 / -- A semiconductor device, 201 / -- Electronic equipment] -- An insulating wall part (insulating member), 16 -- An electrode pad (electrode), 18 -- A passivation film (insulator layer), 20

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The cross section showing outline composition about the semiconductor device of a 1st embodiment.

[Drawing 2] The cross section showing one manufacturing process of the semiconductor device of drawing 1.

[Drawing 3] The cross section showing one manufacturing process of a semiconductor device following drawing 2.

[Drawing 4] The cross section showing one manufacturing process of a semiconductor device following drawing 3.

[Drawing 5] The cross section showing one manufacturing process of a semiconductor device following drawing 4.

[Drawing 6] The cross section showing one manufacturing process of a semiconductor device following drawing 5.

[Drawing 7] The cross section showing outline composition about the semiconductor device of a 2nd embodiment.

[Drawing 8] The cross section showing outline composition about the example of a changed completely type of a semiconductor device.

[Drawing 9] The perspective view showing outline composition about the semiconductor device of a 3rd embodiment.

[Drawing 10] The perspective view showing outline composition about the 1 embodiment of electronic equipment.

[Description of Notations]

1, 2 -- A semiconductor device body part, 10 -- A silicon substrate (substrate), 11 -- Breakthrough (opening), 13 [-- An insulator layer, 24 / -- A contact button (conductive member) 72 / -- Resist, 100, 200, 300 / -- A semiconductor device, 102 / -- A semiconductor device, 201 / -- Electronic equipment] -- An insulating wall part (insulating member), 16 -- An electrode pad (electrode), 18 -- A passivation film (insulator layer), 20

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

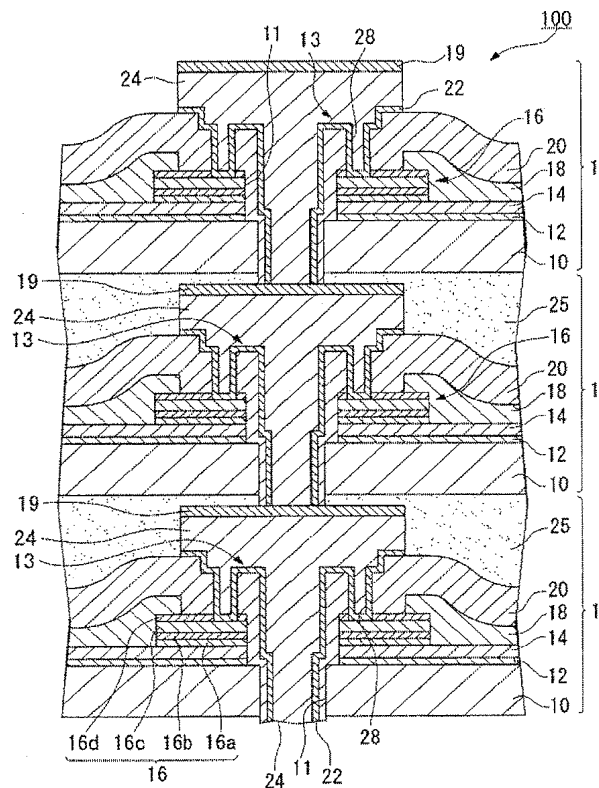
1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

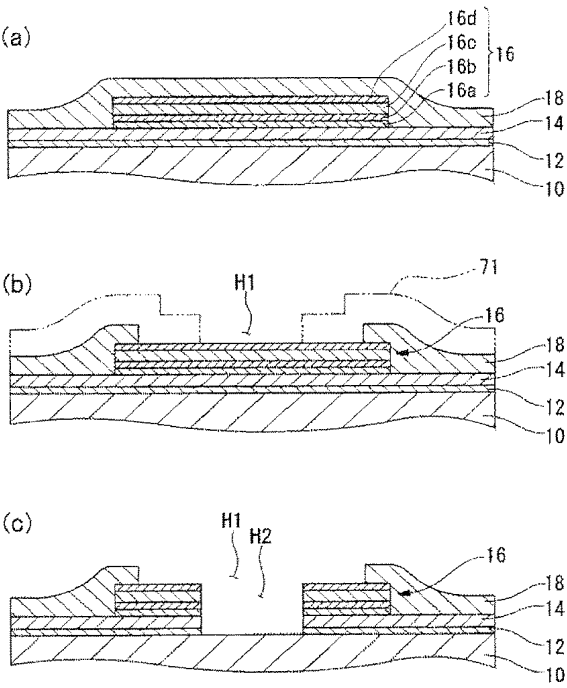
3. In the drawings, any words are not translated.

DRAWINGS

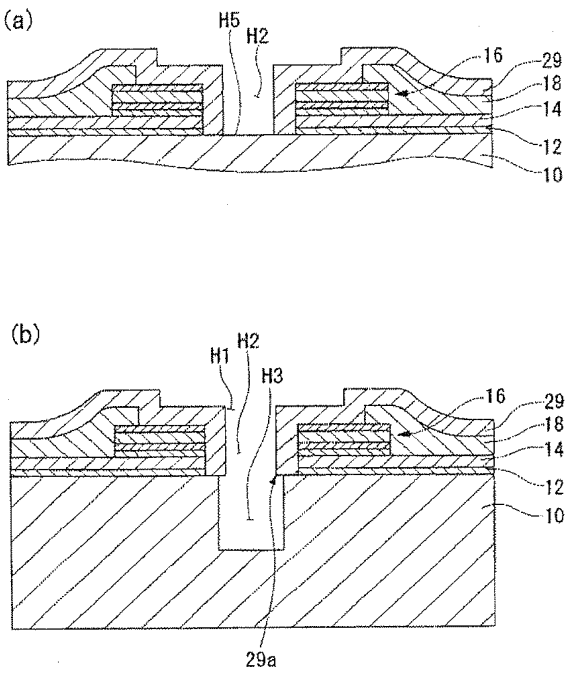
[Drawing 1]



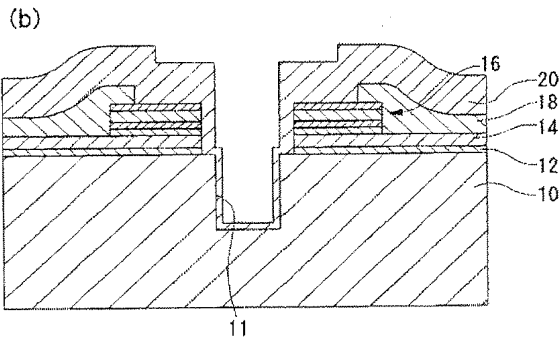
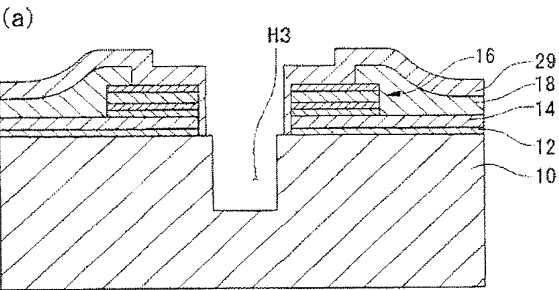
[Drawing 2]



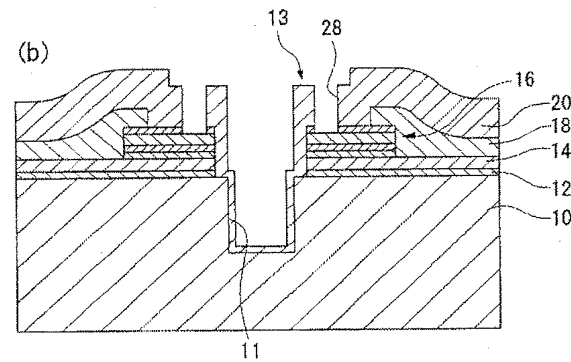
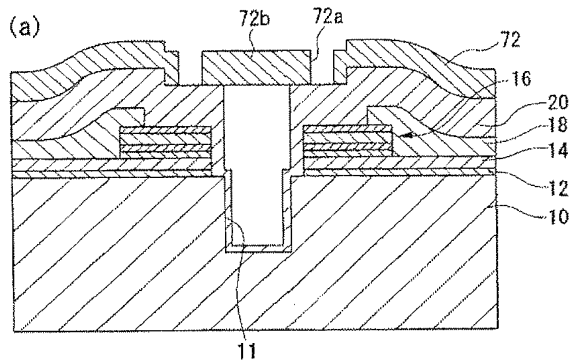
[Drawing 3]



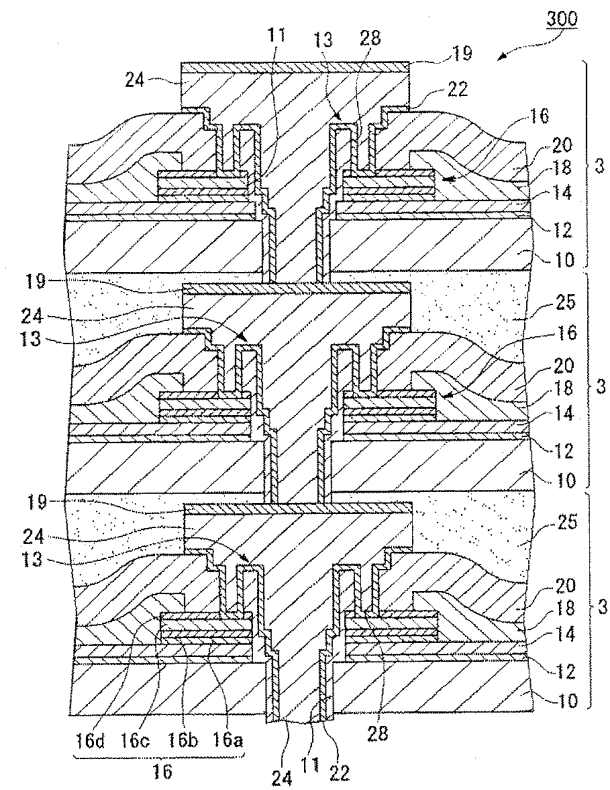
[Drawing 4]



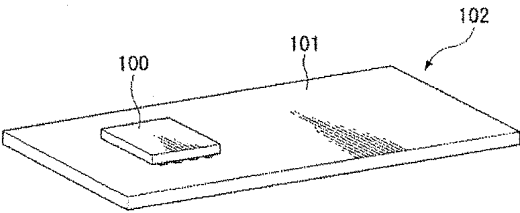
[Drawing 5]



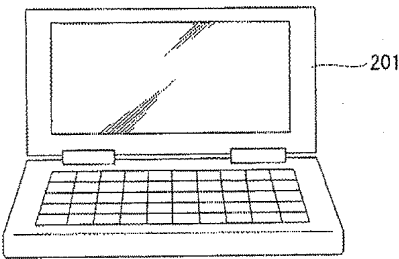
[Drawing 6]



[Drawing 9]



[Drawing 10]



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-296894

(P2004-296894A)

(43) 公開日 平成16年10月21日(2004.10.21)

(51) Int.Cl. ⁷	F 1	テーマコード (参考)
HO 1 L 21/3205	HO 1 L 21/88	5 F 0 3 3
HO 1 L 23/12	HO 1 L 23/12	
HO 1 L 23/52	HO 1 L 25/08	
HO 1 L 25/065	HO 1 L 23/52	
HO 1 L 25/07		

審査請求 未請求 請求項の数 3 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願2003-88826 (P2003-88826)
 (22) 出願日 平成15年3月27日 (2003.3.27)

(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100095728
 弁理士 上柳 雅智
 (74) 代理人 100107076
 弁理士 藤綱 英吉
 (74) 代理人 100107261
 弁理士 須澤 修
 (72) 発明者 増田 員拓
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

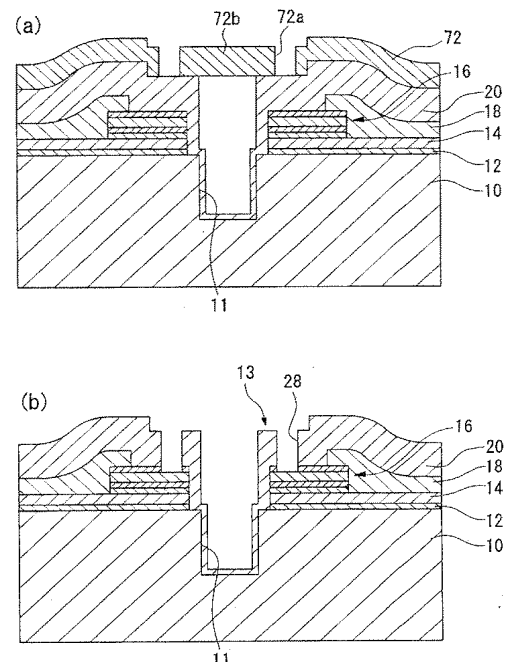
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 少なくとも開口部を有した基板に対してエッチングを行う際に、該開口部内に不純物が混入し難い工程を採用した半導体装置の製造方法を提供する。

【解決手段】 本発明の半導体装置の製造方法は、貫通孔11を有した基板に対し、該貫通孔11とは異なる領域においてエッチングを行う工程を含む半導体装置の製造方法であって、基板に対し、貫通孔11の開口面に跨る形にてレジスト72を形成し、該レジスト72を露光によりパターニングした後に、エッチングを行うことを特徴とする。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

開口部を有した基板に対し、該開口部とは異なる領域においてエッチングを行う工程を含む半導体装置の製造方法であって、

前記基板に対し、前記開口部の開口面に跨る形にてレジストを形成し、該レジストを露光によりパターンニングした後に、エッチングを行うことを特徴とする半導体装置の製造方法

【請求項 2】

前記レジストを形成する際に、前記基板に対して加熱処理を行うことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

基板上に電極を形成する積層工程と、

前記電極に対し前記基板表面まで開口する電極孔を形成する電極孔形成工程と、

少なくとも前記電極孔内面から該電極の上層を覆う形にて絶縁層を形成する工程と、

前記絶縁層に対し、前記電極孔内面側であって基板穿孔予定部に対応する位置に開口部を形成する工程と、

該絶縁層をマスクとして前記基板に対して前記電極孔と連通する基板孔を形成する工程と、

前記基板面内において、前記電極孔とは異なる領域に前記絶縁層を開口して前記電極の上層面を露出させる接続孔形成工程と、

少なくとも前記電極孔及び基板孔の内部から前記露出した電極に連なる形にて、該電極孔及び基板孔内、並びに前記絶縁膜の接続孔内に対して導電部材を充填する導電部材充填工程と、を含み、

前記接続孔形成工程において、前記電極孔の開口面に跨る形にてレジストを形成し、該レジストを露光によりパターンニングした後にエッチングを行うことで前記接続孔を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置、半導体デバイス、電子機器、および半導体装置の製造方法に関し、特に三次元実装技術に好適な構成の半導体装置に関するものである。

【0002】

【従来の技術】

現在、主として携帯電話機、ノート型パーソナルコンピュータ、PDA (Personal data assistance) 等の携帯性を有する電子機器は、小型・軽量化のため、内部に設けられる半導体チップ等の各種の電子部品の小型化が図られており、更にその電子部品を実装するスペースも極めて制限されている。このため、例えば半導体チップにおいては、そのパッケージング方法が工夫され、現在ではCSP (Chip Scale Package) といわれる超小型のパッケージングが案出されている。このCSP技術を用いて製造された半導体チップは、実装面積が半導体チップの面積と同程度で良いため、高密度実装を図ることができる。

【0003】

しかしながら、上記の電子機器は、今後益々小型化及び多機能化が求められることが予想されており、半導体チップの実装密度を更に高める必要が出てきた。かかる背景の下、例えば特許文献1に開示されているような三次元実装技術が案出されてきた。この三次元実装技術は、同様の機能を有する半導体チップ同士又は異なる機能を有する半導体チップ同士を積層し、各半導体チップ間を配線接続することで、半導体チップの高密度実装を図る技術である。

【0004】

【特許文献1】

10

20

30

40

50

特開 2002-50738 号公報

【0005】

【発明が解決しようとする課題】

ところで、上述の三次元実装技術においては、各半導体チップ間を配線接続する技術が極めて重要になる。なぜならば、複数の半導体チップからなる半導体装置が所期の機能を発揮するには設計通り配線がなされていることが必要条件であることはもちろんのこと、半導体チップ間の接続を強固にして半導体装置の信頼性を確保する必要があるからである。

【0006】

三次元実装技術に用いられる半導体チップは、例えば半導体基板の表面と裏面とに形成された電極と、半導体基板の表面から裏面へ貫通する貫通孔とを有し、この貫通孔を介して上下の電極同士が電氣的に接続された電極構造を有する。そして、このような電極構造を有する半導体チップを積層すると、ある半導体チップの裏面に形成された電極が、他の半導体チップの表面に形成された電極と接続され、これにより各半導体チップ間で配線接続される。

10

【0007】

このような半導体装置において、電極の接続状態、すなわち電氣的接続状態は当該半導体装置の信頼性を確保する上で重要な要素となり、例えば電氣的接続不良が生じた場合には当該半導体装置において誤作動が生じてしまう恐れがある。一方、上記の電極構造を形成するには多くの工程を必要とするため、製造効率が悪いという問題がある。また、上記の電極構造では貫通孔を形成することが必須となるが、この貫通孔内には一連の製造工程においてレジスト等の不純物が入り込まないことが、孔内部の清浄度を確保し、導電性を高める上で好ましい。

20

【0008】

本発明は、上記事情に鑑みてなされたものであり、少なくとも開口部を有した基板に対してエッチングを行う際に、該開口部内に不純物が混入し難い工程を採用した半導体装置の製造方法を提供することを目的とし、さらにこの方法を採用することで基板貫通孔内の一層良好な電氣的接続状態を確保できる半導体装置の製造方法を提供することを目的とする。また、開口部内へのレジスト混入を抑制することで、当該半導体装置の製造効率を向上させるとともに、製造コストを低減し、更には装置自体の信頼性をも高めることができる半導体装置の製造方法を提供することを目的とする。

30

【0009】

【課題を解決するための手段】

上記課題を解決するために、本発明の半導体装置の製造方法は、開口部を有した基板に対し、該開口部とは異なる領域においてエッチングを行う工程を含む半導体装置の製造方法であって、前記基板に対し、前記開口部の開口面に跨る形にてレジストを形成し、該レジストを露光によりパターニングした後に、エッチングを行うことを特徴とする。なお、ここで言う「開口部」とは、例えば凹状に基板表面から所定の深さだけ凹んだ形状のものを含む意味であり、また基板の厚さ方向に貫通しているものであっても良い。

【0010】

このような製造方法によると、開口部内にレジストが混入し難くなり、レジスト塗布後の開口部内洗浄を行わずとも、簡便に不純物混入の極めて少ない開口部を確保することでき、例えば該開口部を基板上下方向へのコンタクトホールとして用いた場合には、該コンタクトホールの導通性を高めることが可能となり得る。また、レジストを開口部内部に潜入した形にて塗布した場合には、開口周辺にレジストが塗布されず、該開口周辺部の基板が不意にエッチングされてしまう恐れがあるが、本発明ではそのような不具合も生じ難い。言い換えると、本発明ではレジストを少なくとも開口部の開口底面に接しない形にて該開口部を覆うように形成するものとしたために、少なくとも開口底面にレジストが残存することがなくなり、当該開口内部の汚れを低減させることができたのである。

40

【0011】

なお、レジストの形成方法としては、大気圧下、スピンコート法或いはローラーコート法

50

等を採用することができる。レジストの種類としては、通常の樹脂材料を用いることができるが、開口部について深さが $70\mu\text{m}$ 、開口幅（開口径）が最大 $30\mu\text{m}$ のものに対してレジストを塗布する場合には、例えば粘度 $10\sim60\text{cP}$ （ $\text{mPa}\cdot\text{s}$ ）程度（具体的には 18cP （ $\text{mPa}\cdot\text{s}$ ））のレジスト樹脂を用いるのが良く、形成するレジストの膜厚は例えば $0.5\sim4.0\mu\text{m}$ 程度（例えば $2.05\mu\text{m}$ ）とするのが良い。

【0012】

また、上記レジストを形成する際に、基板に対して加熱処理を行うものとすることができる。この場合、加熱により開口部内の気体が膨張することとなるため、レジストが開口部に潜入り難くなり、開口面に沿った橋架け構造のレジストを一層確実に形成することが可能となる。

10

【0013】

一方、上記課題を解決するために、本発明の半導体装置の製造方法は、その異なる態様として、基板上に電極を形成する積層工程と、前記電極に対し前記基板表面まで開口する電極孔を形成する電極孔形成工程と、少なくとも前記電極孔内面から該電極の上層を覆う形にて絶縁層を形成する工程と、前記絶縁層に対し、前記電極孔内面側であって基板穿孔予定部に対応する位置に開口部を形成する工程と、該絶縁層をマスクとして前記基板に対して前記電極孔と連通する基板孔を形成する工程と、前記基板面内において、前記電極孔とは異なる領域に前記絶縁層を開口して前記電極の上層面を露出させる接続孔形成工程と、少なくとも前記電極孔及び基板孔の内部から前記露出した電極に連なる形にて、該電極孔及び基板孔内、並びに前記絶縁膜の接続孔内に対して導電部材を充填する導電部材充填工程と、を含み、前記接続孔形成工程において、前記電極孔の開口面に跨る形にてレジストを形成し、該レジストを露光によりパターンニングした後にエッチングを行うことで前記接続孔を形成することを特徴とする。

20

【0014】

このような製造方法によると、電極孔及び基板孔を含んでなる貫通孔内部に挿通された導電部材により、半導体装置の表裏間で導通をとることができ、この表面及び／又は裏面に別の半導体装置を積層することができるため、三次元実装された半導体装置を提供することが可能となる。また、貫通孔を電極に対して設けたため、基板上の電極が形成されていない領域に貫通孔を形成する場合に比して、省スペース化が可能となり、当該半導体装置の高機能化そして小型化を実現することが可能となり得る。さらに、接続孔形成工程において、電極孔の開口面に跨る形にてレジストを形成してエッチングを行うものとしているため、基板孔内にレジストが混入し難くなり、レジスト剥離時に特別な洗浄を行わずとも、簡便に不純物混入の極めて少ないクリーンな基板孔を確保することができ、該電極孔及び基板孔内に充填させた導電部材の上下方向への導通性を高めることが可能となり得る。

30

【0015】

なお、レジストの形成方法としては、大気圧下、スピンコート法或いはローラーコート法等を採用することができる。レジストの種類としては、通常の樹脂材料を用いることができるが、電極孔及び基板孔を双方合わせた深さが $70\mu\text{m}$ 、開口幅（開口径）が最大 $30\mu\text{m}$ の貫通孔にレジストを塗布する場合には、例えば粘度 $10\sim60\text{cP}$ （ $\text{mPa}\cdot\text{s}$ ）程度（具体的には 18cP （ $\text{mPa}\cdot\text{s}$ ））のレジスト樹脂を用いるのが良く、形成するレジストの膜厚は例えば $0.5\sim4.0\mu\text{m}$ 程度（例えば $2.05\mu\text{m}$ ）とするのが良い。

40

【0016】

また、上記レジストを形成する際に、電極及び／又は基板に対して加熱処理を行うものとすることができる。この場合、加熱により電極孔及び／又は基板孔の気体が膨張することとなるため、レジストが電極孔内に潜入り難くなり、電極孔の開口面に沿った橋架け構造のレジストを一層確実に形成することが可能となる。

【0017】

なお、本発明においては、形成したレジストをパターンニングした後に、これをマスクとしてエッチングを行うものとしているが、このような開口面に跨るレジストを仮レジストと

50

し、この仮レジストを蓋として別のレジスト（本レジスト）を形成して、該本レジストをマスクとしてエッチングを行うものとすることもできる。また、仮レジストで厚膜化が困難な場合、別のレジストを併用して厚膜化を実現することも可能である。

【0018】

ここで、電極はアルミニウムを主体として構成されるのが一般的であるが、銅などを用いて形成しても良く、その形状は設計に応じて種々異なるが、例えば一辺が約100 μ m程度の角形をなしていても良い。なお、電極孔及び基板孔を含んでなる貫通孔内に充填する導電部材についてもアルミニウムや銅を用いることができ、銅を充填させる場合にはCuダマシン法を採用することができる。すなわち、貫通孔に銅をCVD法や、電界メッキ法等により充填させ、CMPにより表面を研磨除去する方法により、導電部材を形成することができる。このように銅を接続端子用の導電部材として用いた場合には、高速デバイスに適した低抵抗化が実現されることとなり非常に有利な半導体装置となり得る。

10

【0019】

なお、上記電極孔及び基板孔からなる貫通孔の孔形状（軸断面形状、或いは開口形状）としては、円形その他、四角形等の多角形も採用することができる。また、一つの電極に対して複数の貫通孔を形成して各貫通孔内に導電部材を挿通し、三次元実装を実現することも可能で、この場合、上下接続における機械的安定性及び電氣的安定性の向上を図ることができるようになる。

【0020】

【発明の実施の形態】

以下、図面を参照して本発明の実施形態について説明する。なお、本実施の形態においては、各図において各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

20

【0021】

（第1の実施の形態）

図1は本発明の方法により製造される半導体装置の第1の実施の形態について、その要部を示す部分断面模式図であって、半導体装置100は、シリコン基板10上に熱酸化膜からなる絶縁膜12及びSiO₂からなる層間絶縁膜14を介して電極パッド16が積層された構成の半導体装置本体部1を三次元実装してなるものである。

【0022】

各半導体装置本体部1は、シリコン基板10上に厚さ約4000Åの絶縁膜12と、厚さ約10000Åの層間絶縁膜14と、厚さ約8000Åの電極パッド16とが積層されてなるとともに、これらシリコン基板10、絶縁膜12、層間絶縁膜14、電極パッド16を積層方向に貫通する貫通孔11を具備してなり、その貫通孔11内部には導電部材からなる接続端子24が挿通されている。また、電極パッド16上には、該電極パッド16の貫通孔11よりも拡径のパッシベーション膜18が形成されている。さらに、電極パッド16及びパッシベーション膜18上には絶縁層20が積層され、該絶縁層20は、電極パッド16上のパッシベーション膜18が形成されていない領域に接続孔28を具備するとともに、貫通孔11に面する絶縁壁部13を具備してなる。また、絶縁層20は電極パッド16上から貫通孔11内面にまで延びて形成され、電極パッド16と接続端子24との間に位置して、これらを絶縁している。

30

40

【0023】

さらに具体的には、絶縁層20は、電極パッド16の上層面及び貫通孔11の内面を覆う形にて形成され、少なくとも電極パッド16と接続端子24を接続するための接続孔28を、貫通孔11と基板10の面内において異なる位置に具備してなるものであり、これら接続孔28と貫通孔11との間に絶縁壁部13が配設されているのである。このように絶縁壁部13は貫通孔11の内面に沿って、該電極パッド16の表面から突出する環状凸部を少なくとも有してなり、自身も貫通孔11に沿う孔部を具備してなるものである。

【0024】

このような絶縁壁部13を備える絶縁層20の孔内側には下地膜22を介して上記接続端

50

子 2 4 が挿通されている。貫通孔 1 1 内部に形成された接続端子 2 4 は、該貫通孔 1 1 から絶縁層 2 0 の絶縁壁部 1 3 を跨ぐ形にて接続孔 2 8 において電極パッド 1 6 と接続されている。なお、本実施の形態においては、貫通孔 1 1 内面の基板 1 0 と絶縁膜 1 2 との境界付近において段差が形成されており、これにならって接続端子 2 4 の孔との接触面には段差が形成されている。また、貫通孔 1 1 の開口形状（孔軸断面形状）は丸形であるが、その他にも四角形等の多角形状のものを採用することも可能である。

【 0 0 2 5 】

電極パッド 1 6 は、厚さ 1 0 0 Å であって T i からなる第 1 層 1 6 a、厚さ約 1 0 0 0 Å であって T i N からなる第 2 層 1 6 b、厚さ約 5 0 0 0 Å であって A l C u からなる第 3 層 1 6 c、及び厚さ約 4 0 0 Å であって T i N からなる第 4 層（キャップ層） 1 6 d を順に積層して形成されている。前述したように電極パッド 1 6 の孔内面には絶縁壁部 1 3 を具備した絶縁層 2 0 が形成されており、一方、接続端子 2 4 は、貫通孔 1 1 から該絶縁壁部 1 3 を跨いで接続孔 2 8 を介して電極パッド 1 6 と平面的に接続されている。すなわち、貫通孔 1 1 内部に充填された接続端子 2 4 は、電極パッド 1 6 上の貫通孔 1 1 に面する位置に選択的に形成された絶縁層 2 0 の絶縁壁部 1 3 上を覆うとともに、貫通孔 1 1 の孔面とは異なる位置において、絶縁膜 2 0 に形成された接続孔 2 8 にも充填されて電極パッド 1 6 と接続されている。なお、接続孔 2 8 は電極パッド 1 6 の第 4 層（キャップ層） 1 6 d をも貫通する形にて第 3 層 1 6 c にまで開口されている。

【 0 0 2 6 】

以上のような電極パッド 1 6 と接続端子 2 4 との接続に供する接続孔 2 8 は、一つの電極パッド 1 6 に対して多数形成することも可能で、この場合、電極パッド 1 6 と接続端子 2 4 との機械的接続強度が強固なものとなり、その接続安定性が向上することとなる。

【 0 0 2 7 】

また、接続端子 2 4 上層には錫—銀からなるメッキ薄膜 1 9 が形成され、該メッキ薄膜 1 9 を介して異なる半導体装置本体部が積層接続される。なお、半導体装置本体部 1 においては、シリコン基板 1 0 の貫通孔 1 1 から接続端子 2 4 が若干突出して形成され、その突出した部分が異なる半導体装置本体部の接続端子とメッキ薄膜を介して接続されることとなり、積層された各半導体装置本体部の層間にはアンダフィル 2 5 が充填されている。

【 0 0 2 8 】

このような本実施の形態の半導体装置 1 0 0 によると、貫通孔 1 1 内部に挿通された接続端子 2 4 により半導体装置本体部 1 の表裏間で導通をとることができ、この表面及び／又は裏面に別の半導体装置本体部を積層することが可能なため、半導体装置本体部 1 を三次元実装させることが可能となる。そして、貫通孔 1 1 を電極パッド 1 6 内部に設けたため、シリコン基板 1 0 上の電極パッド 1 6 が形成されていない領域に貫通孔を形成する場合に比して、省スペース化が可能となり、当該半導体装置の高機能化や小型化を実現することが可能となり得る。

【 0 0 2 9 】

また、このような本実施の形態の半導体装置 1 0 0 において接続端子 2 4 と電極パッド 1 6 との接続を、貫通孔 1 1 内部の接続端子 2 4 から電極パッド 1 6 に対して孔面を介して直接行うのではなく、貫通孔 1 1 の内面に沿って電極パッド 1 6 から突出した構成の絶縁壁部 1 3 を跨ぐ形にて電極パッド 1 6 と接続するものとしたため、接続端子 2 4 は絶縁壁部 1 3 上を超えて電極パッド 1 6 と接続することとなり、つまり接続端子 2 4 が絶縁壁部 1 3 と電極パッド 1 6 との双方に接面した構成となる。この場合、接続端子 2 4 と絶縁壁部 1 3 及び電極パッド 1 6 との接面には少なくとも絶縁壁部 1 3 の厚さ分（電極パッド 1 6 上に突出した分）だけの段差が生じ、段差なしに面一で接続端子 2 4 と絶縁壁部 1 3 及び電極パッド 1 6 とを密着させた場合に比して、その密着力が高くなり、その結果、接続端子 2 4 と電極パッド 1 6 との間の電氣的接続状態を安定化することが可能となる。したがって、電氣的接続不良に基づく半導体装置 1 0 0 の誤作動が生じ難く、当該半導体装置 1 0 0 の信頼性が向上することとなる。

【 0 0 3 0 】

以下、図1に示した半導体装置100の製造方法について、その一例を説明する。図2～図6は、半導体装置100を製造する一連の工程の、本発明に関連した工程を断面図にて示す工程図である。なお、本実施形態においては、シリコンウェハ等の半導体基板に対して各種処理を行う場合を例に挙げて説明するが、多数の半導体チップが形成されている状態の半導体基板そのものに対して処理を行うのではなく、個々の半導体チップに対して以下に示す処理を行っても良い。なお、半導体チップの場合には、一般的には直方体（立方体を含む）であるが、その形状は限定されず、円柱状（球状を含む）であってもよい。

【0031】

まず、処理対象の半導体基板の構成について説明する。図2(a)において、図示しないトランジスタ、メモリ素子、その他の電子素子からなる集積回路が形成されたシリコン等からなる基板（シリコン基板）10の表面には、絶縁膜12が形成されている。この絶縁膜12は、例えば基板10の基本的な材料であるSi（シリコン）の酸化膜（ SiO_2 ）で形成されている。

【0032】

絶縁膜12上には、例えば硼燐珪酸ガラス（以下、BPSGという）からなる層間絶縁膜14が形成されている。多層配線構造を有する半導体装置においては、例えば3層配線構造を有する場合、層間絶縁膜14上に、次の層間絶縁膜14a、更にその次の層間絶縁膜14bが積層されることになる。つまりn層多層配線構造を有する場合には、n層分の層間絶縁膜が積層されることとなる（図示せず）。それぞれの層間絶縁膜には、膜厚が5000Å～10000Åのシリコン酸化膜や低誘電率膜が適用される。層間絶縁膜14上には、図示しない箇所では基板10に形成された集積回路と電気的に接続された電極としての電極パッド16が形成されている。この電極パッド16は、Ti（チタン）からなる第1層16a、TiN（窒化チタン）からなる第2層16b、AlCu（アルミニウム／銅）からなる第3層16c、及びTiNからなる第4層（キャップ層）16dを順に積層して形成されている。

【0033】

電極パッド16は、例えばスパッタリングにより第1層16a～第4層16dからなる積層構造を層間絶縁膜14上の全面に形成し、レジスト等を用いて所定の形状（例えば、円形形状）にパターニングすることにより形成される。なお、本実施形態では、電極パッド16が上記の積層構造により形成されている場合を例に挙げて説明するが、電極パッド16がAlのみで形成されていても良いが、電気抵抗の低い銅を用いて形成することが好ましい。また、電極パッド16は、上記の構成に限られず、必要とされる電気的特性、物理的特性、及び化学的特性に応じて適宜変更しても良い。

【0034】

また、電極パッド16は、基板10に複数形成された半導体チップの面の少なくとも1辺（多くの場合、2辺又は4辺）に沿って並んで形成される。また、この電極パッド16は、各半導体チップの面の辺に沿って形成される場合と、中央部に並んで形成される場合がある。なお、電極パッド16の下方には電子回路が形成されていない。

【0035】

また、層間絶縁膜14上には、電極パッド16を覆うように保護層としてのパッシベーション膜18が形成されている。このパッシベーション膜18は、 SiO_2 （酸化珪素）、SiN（窒化珪素）、ポリイミド樹脂等により形成することができる。

【0036】

次に、以上の構成の半導体基板に対して行う各工程を順次説明する。まず、スピンコート法、ディッピング法、スプレーコート法等の方法によりレジスト（図示省略）を図2(a)に示したパッシベーション膜18上の全面に塗布する。なお、このレジストは、電極パッド16上を覆っているパッシベーション膜18を開口するために用いるものであり、フォトレジスト、電子線レジスト、X線レジストの何れであってもよく、ポジ型又はネガ型の何れであってもよい。

【0037】

10

20

30

40

50

パッシベーション膜 18 上にレジストを塗布した後、プリベークを行い、所定のパターンが形成されたマスクを用いて露光処理及び現像処理を行うことでレジストを所定形状にパターンニングする。なお、レジストの形状は、電極パッド 16 の開口形状に応じて設定され、具体的には径 $60\mu\text{m}$ の円形開口部を有するものである。このようなレジストのパターンニング後、ポストベークを行い、図 2 (b) に示すように、電極パッド 16 を覆うパッシベーション膜 18 の一部をエッチングして開口部 H 1 を形成する。図 2 (b) は、パッシベーション膜 18 を開口して開口部 H 1 を形成した状態を示す断面図である。

【0038】

なお、エッチングにはドライエッチングを適用することが好ましい。ドライエッチングは、反応性イオンエッチング (RIE: Reactive Ion Etching) であってもよい。また、エッチングとしてウェットエッチングを適用してもよい。パッシベーション膜 18 に形成される開口部 H 1 の断面形状は、後述する工程で形成される電極パッド 16 の開口形状に応じて設定され、その径は電極パッド 16 に形成される開口の径より大きい径に設定される。

【0039】

以上の工程が終了すると、開口部 H 1 を形成したパッシベーション膜 18 上のレジスト 71 をマスクとして、ドライエッチングにより電極パッド 16、層間絶縁膜 14、及び絶縁膜 12 を開口する。図 2 (c) は、電極パッド 16、層間絶縁膜 14、及び絶縁膜 12 を開口して開口部 H 2 を形成した状態を示す断面図である。なお、ドライエッチングとしては RIE を用いることができる。

【0040】

ここでは、電極パッド 16 と層間絶縁膜 14 及び絶縁膜 12 を同一工程にて開口するものとしているが、例えば電極パッド 16 を開口した後に、別工程で層間絶縁膜 14 及び絶縁膜 12 を開口するものとしても良い。つまり、上記プロセスにおいては、同一のレジストマスクを用いてエッチングを繰り返したが、各エッチング工程終了後、レジストをパターンニングし直すものとすることができる。さらに、電極パッド 16 に形成された開口部 H 2 を開口した後にレジストを剥離し、電極パッド 16 の最表面の TiN をマスクにして、層間絶縁膜 14 及び絶縁膜 12 をエッチングし、図 2 (c) に示すように基板 10 を露出せしめることも可能である。

【0041】

以上のような工程により、図 2 (c) に示すように基板 10 の表面が露出される。この後、開口マスクとして使用してきたパッシベーション膜 18 上に形成したレジストを、剥離液或いはアッシング等により剥離する。

【0042】

なお、このように電極パッド 16 を開口した後に、別工程で層間絶縁膜 14 及び絶縁膜 12 を開口するものとするれば、例えば図 8 に示したような半導体装置本体部 300 を含む半導体装置 300 を提供することができる。つまり、電極パッド 16 に形成された貫通孔の孔径と、層間絶縁膜 14 及び絶縁膜 12 に形成された貫通孔の孔径が異なり、その結果、該電極パッド 16 と層間絶縁膜 14 との境界付近において、貫通孔 11 の内面に段差が形成されることとなる。この場合、接続端子 24 が貫通孔 11 から抜ける等の不具合が生じ難くなり、接続端子 24 と貫通孔 11 との接続状態の安定性を向上させることが可能となる。

【0043】

次に、図 3 (a) に示すように、基板 10 を穿孔するためのエッチング用ハードマスク 29 を形成する。ハードマスク 29 は、パッシベーション膜 18 及び電極パッド 16 の上層面、及び開口部 H 2 の内面を覆う態様にて形成するものとし、例えば SiO_2 等の絶縁材料を用いて CVD 法等により形成することができる。このようにハードマスク 29 を全面形成したのち、図 3 (a) に示すように、開口部 H 2 の底においてハードマスク 29 の開口部 H 5 を形成し、基板 10 の表面を開口部 H 2 に露出させる。ここでは開口部 H 5 に対応した開口を有するレジストを用いたエッチングにより、ハードマスク 29 の穿孔を行っ

10

20

30

40

50

た。なお、エッチングにはドライエッチングを適用することが好ましい。ドライエッチングは、反応性イオンエッチング (R I E : R e a c t i v e I o n E t c h i n g) であつてもよい。

【0044】

そして、この開口部H5を備えるハードマスク29を用いて、ドライエッチングにより、図3(b)に示すように基板10を穿孔する。なお、ここでは、ドライエッチングとしてR I EのほかにはI C P (I n d u c t i v e l y C o u p l e d P l a s m a)を用いることができる。図3(b)は、基板10を穿孔して、孔部H3を形成した状態を示す断面図である。なお、ハードマスク29の開口部H5は、基板穿孔時のオーバーエッチ(サイドエッチ)を考慮して、開口径 $30\mu\text{m}\sim 50\mu\text{m}$ (例えば $30\mu\text{m}$)としている。

10

【0045】

ここでは、パッシベーション膜18及び電極パッド16上、ならびに開口部H1、H2内面に形成されたハードマスク29をレジストマスクとして基板10を穿孔しているため、図3(b)に示すように、基板10に形成される孔部H3の径は、電極パッド16に形成された開口部H2の径よりも小さいものとなる。その結果、開口部H1、H2、及び孔部H3を連通してなる貫通孔に、基板10の一部が突出してなる段差部が形成されることとなる。

【0046】

なお、ハードマスク29の膜厚については、基板10に対して $70\mu\text{m}$ 程度の深さの孔を形成する場合には、例えば正珪酸四エチル (T e t r a E t h y l O r t h o S i l i c a t e : $\text{Si}(\text{OC}_2\text{H}_5)_4$: 以下、TEOSという) を原料として、PECVD (P l a s m a E n h a n c e d C h e m i c a l V a p o r D e p o s i t i o n) を用いて形成したシリコン酸化膜、即ちPE-TEOS法にて形成したシリコン酸化膜を $2\mu\text{m}$ 程度形成する必要がある。ハードマスク29の形成方法としては、PE-TEOS法以外にも、オゾンとTEOSを用いて熱CVD法によりシリコン酸化膜を形成する、即ち O_3 -TEOS法、或いは SiH_4 - N_2O 系、 SiH_4 - O_2 系のプラズマ励起CVD法により形成することも可能である。また、基板穿孔工程により、ハードマスク29も薄膜化され、該穿孔工程後には膜厚が $1000\text{\AA}\sim 9000\text{\AA}$ 程度に減少することとなる。つまり、本実施の形態では、ハードマスク29の膜厚をオーバーエッチング量よりも大きな値となるように設定した。

20

30

【0047】

ここで、通常用いられるフォトリソマスクでは、ドライエッチングの耐性が乏しいため $70\mu\text{m}$ 孔設に対して $10\mu\text{m}$ 程度のレジストマスクが必要で、厚膜によりコストアップに繋がる上、プロセス的にもアスペクト比が大きくなり、非効率的である。しかしながら、上述のようなハードマスク29によると、膜厚を薄くでき、コスト削減とともに効率的な製造プロセスを実現できる。

【0048】

また、ハードマスク29の開口部H5の開口形状としては、本実施の形態では円形を採用しているが、四角形等の多角形を採用でき、開口プロセスにはPFC系ドライエッチング、又はBHF系ウェットエッチングのいずれかが好適である。

40

【0049】

以上の工程が終了すると、孔部H3よりも孔内側に突出して残されたハードマスク29の突出部29aをエッチングにより除去する。すなわち電極パッド16、層間絶縁膜14、絶縁膜12の開口部内壁に残されたハードマスク29について、孔部H3よりも突出した突出部29aを選択的に除去し、図4(a)に示すように電極パッド16、層間絶縁膜14、絶縁膜12の開口部内壁に薄膜の絶縁膜29が残存するようにエッチングする。図4(a)は、電極パッド16の上方並びに開口部H2の内壁に絶縁膜20を残存させた状態を示す断面図である。このようなエッチングを行うことで、孔部H3の開口径よりも大きい開口径を有する形にて、電極パッド16、層間絶縁膜14、絶縁膜12の開口部内壁に薄層絶縁膜29を形成する(残存させる)ことが可能である。なお、この場合の薄層絶縁

50

膜 29 の電極パッド 16 内に相当する部分の開口径は、形成した基板貫通孔の開口径及び形成した電極孔の開口径に対応させる。例えば、薄層絶縁膜 29 の電極パッド 16 内に相当する部分の開口径は、基板貫通孔の開口径を $30\ \mu\text{m}$ 、電極孔の開口径を $60\ \mu\text{m}$ としたとき、その間の値の $40\ \mu\text{m} \sim 58\ \mu\text{m}$ (例えば $50\ \mu\text{m}$) 程度となる。

【0050】

次に、突出部 29a 除去用のレジストを除去した後、絶縁膜 29 上及び孔部 H3 内に絶縁膜の被覆処理を行う。ここでは、P E - T E O S 法にて、シリコン酸化膜を $1\ \mu\text{m}$ 程度形成するものとしており、その結果、図 4 (b) に示すように、基板 10、絶縁膜 12、14、電極パッド 16 に連通した貫通孔 11 内部に絶縁膜 20 を形成することができる。

【0051】

続いて、図 5 (a) に示すように絶縁膜 20 上にレジスト 72 を塗布する。この場合、用いるレジスト樹脂は、J S R (株) 社製 J S R - P F R - I X 4 1 0 粘度 $18\ \text{cP}$ ($\text{mPa} \cdot \text{s}$)、少なくとも絶縁膜 20 上を 60°C で 35 秒間低温アドヒュージョン処理した後、主回転数 $2300\ \text{rpm}$ で大気圧下スピコートした。このときの塗布膜厚は $20500\ \text{\AA}$ であった。

【0052】

このレジスト 72 は、電極パッド 16 の上方の一部を開口するために用いるものであり、このレジスト 72 を塗布した後、プリベーク (90°C 、 $180\ \text{sec}$) を行い、さらに所定のパターンが形成されたマスクを用いて露光処理 ($300\ \text{msec}$) 及び現像処理を行う。なお、この場合の現像シーケンスは、 110°C 、 $90\ \text{sec}$ の条件でポストエクスポージャーベークを行い、デベロッピング後、ポストベークを 115°C 、 $120\ \text{sec}$ 行うものである。その結果、レジスト 72 は、電極パッド 16 の上方以外の部分並びに孔部 H3 (貫通孔 11) 及びその周辺部のみにレジストが残された形状、例えば貫通孔 11 (周辺部を含む) を中心とした円環形状となる。つまり、貫通孔 11 を塞ぐ構成のブリッジ状の蓋部 72b を備えるようにレジスト 72 がパターンニングされ、そのレジスト 72 の電極パッド 16 に平面的に重畳する位置には開口部 72a が形成される。

【0053】

この場合、絶縁膜 20 に形成された孔 (貫通孔 11 に相当する領域) とは異なる領域、すなわちレジスト 72 の開口部 72a に相当する領域において、少なくとも絶縁膜 20 を穿孔することが可能となる。しかも、レジスト 72 が貫通孔 11 内部に潜入することなく、該貫通孔 11 の開口面にブリッジ状に跨って形成されているため、貫通孔 11 内にレジストが混入し難くなり、レジスト塗布後に貫通孔 11 内を洗浄しなくても、簡便に不純物混入の極めて少ない貫通孔 11 を確保することでき、貫通孔 11 内に形成する接続端子 24 (図 1 参照) の導通性を高めることが可能となり得る。また、レジスト 72 を貫通孔 11 内部に潜入した形にて塗布した場合には、貫通孔 11 周辺にレジストが塗布されず、該貫通孔 11 周辺部の絶縁膜 20 が不意にエッチングされてしまう惧れがあるが、本実施の形態ではそのような不具合も生じ難いものとなる。

【0054】

なお、レジスト 72 の形成方法としては、スピコート法以外にもローラーコート法等を採用することができる。また、レジストの種類としては、通常樹脂材料を用いることができるが、本実施の形態では、貫通孔 11 について深さが $70\ \mu\text{m}$ 、孔径が $30\ \mu\text{m}$ であるため、粘度 $10 \sim 60\ \text{cP}$ ($\text{mPa} \cdot \text{s}$) 程度 (具体的には $18\ \text{cP}$ ($\text{mPa} \cdot \text{s}$)) のものを用いた。また、レジスト 72 を形成する際に、絶縁膜 20 を含む基板 10 に対して加熱処理を行うものとして行うことができる。この場合、加熱により貫通孔 11 内の気体が膨張するため、レジスト 72 が貫通孔 11 内に一層潜入し難くなり、開口面に沿った橋架け構造のレジスト 72b を一層確実に形成することが可能となる。

【0055】

レジストのパターンニングが終了すると、ポストベークを行った後、エッチングにより電極パッド 16 の一部を覆う絶縁膜 20 を除去することで、図 5 (b) に示すように電極パッド 16 の貫通孔 11 周辺に絶縁壁部 13 を残存させた状態で、該電極パッド 16 の上層の

10

20

30

40

50

絶縁膜 20 に接続孔 28 を開口する。図 5 (b) は、電極パッド 16 を覆う絶縁膜 20 の一部を除去した状態を示す断面図である。図 5 (b) に示すように、電極パッド 16 の開口周辺部 (貫通孔周辺部) を除いた領域には接続孔 28 が形成され、電極パッド 16 の一部が露出した状態となる。なお、この接続孔 28 によって、後の工程で形成される接続端子 (電極部) と電極パッド 16 とを接続することができる。

【0056】

以上の工程が終了すると、図 6 (a) に示すように、絶縁膜 20 の表面、電極パッド 16 の露出部、並びに貫通孔 11 の内面及び底部に、バリア層及びシード層を含む下地膜 22 を形成する工程が行われ、さらに接続端子 24 の充填工程が行われる。図 6 (a) は、下地膜 22 及び接続端子 24 を形成した状態を示す断面図である。図 6 (a) に示すように、下地膜 22 は、絶縁壁部 13 と接続孔 28 内部を十分にカバーして、電極パッド 16 上と絶縁膜 20 上に連続的に形成される。

【0057】

接続端子 24 の形成に際しては、下地膜 22 の形成が終了すると、接続端子を形成するためのレジストを塗布し、次に、電気化学プレーティング (ECP) 法を用いて、貫通孔 11 の内部及び接続孔 28 の内部を含む形にて下地膜 22 上にメッキ処理を施して、貫通孔 11 内部を銅で埋め込むとともに、絶縁壁部 13 を跨いで接続孔 28 内部にも銅を埋め込むものとしている。このようにして、貫通孔 11 とは異なる領域の接続孔 28 において、接続端子 24 と電極パッド 16 とが電氣的に接続され、基板 10 の表面側の外部電極となる接続端子 24 が形成される。

【0058】

この後、レジストを剥離し、バリア層及びシード層の不要部 (図示省略) をエッチングにより除去することにより、図 6 (b) に示すような状態が形成される。

【0059】

以上の工程を経て製造された半導体装置本体部は、例えば接続端子 24 が基板 10 の裏面に露出するまで基板 10 の裏面が研磨され、露出した接続端子 24 と電氣的に接続された電極が形成される。そして、基板 10 の表面及び裏面に共に電極が形成された半導体装置本体部を積層し、又は、基板 10 の表面及び裏面に共に電極が形成された半導体装置本体部を少なくとも 1 つ含んで積層して半導体装置本体部間を配線することにより高密度実装が可能な三次元実装型 (スタックド型) の半導体装置が製造される。なお、各半導体装置本体部を積層するには、上下に配置された半導体装置本体部の電極を、ハンダ等のロウ材 19 (図 1 参照) によって電氣的な導通を取りつつ、接合するようにしても良い。

【0060】

なお、各半導体装置本体部を積層するには、上下に配置された半導体装置本体部の電極を、ハンダ等のロウ材によって電氣的な導通を取りつつ、接合するようにしても良い。また、半導体装置本体部を接合するためだけの接着剤を用いても良い。この接着剤は、液状又はゲル状の接着剤であってもよいし、シート状の接着シートであってもよい。接着剤は、エポキシ樹脂を主な材料とするものであってもよく、絶縁性のものであってもよい。

【0061】

また、接着剤により半導体装置本体部同士を接合するだけではなく、電氣的な導通を取る場合には、導電性物質を含んだ接着剤を用いても良い。この導電性物質は、例えば、ロウ材、ハンダ等の粒子で構成され、それらが接着材料中に分散している。こうすることで、被接続体同士の接合時に、その粒子が接合のロウとして働き、接合性をさらに著しく向上することができる。

【0062】

接着剤は、導電粒子が分散された異方性導電接着剤 (ACA)、例えば異方性導電膜 (ACF) や異方性導電ペースト (ACP) であってもよい。異方性導電接着剤は、バインダに導電粒子 (フィラー) が分散されたもので、分散剤が添加される場合もある。異方性導電接着剤のバインダとして、熱硬化性の接着剤が使用されることが多い。その場合には、配線パターンと電極との間に、導電粒子が介在して両者間の電氣的な接続が図られる。

【0063】

また、電極間の電氣的な接続には、Au-Au、Au-Sn、ハンダ等による金属接合を適用してもよい。例えば、電極にこれらの材料を設け、熱のみ、超音波振動のみ、又は超音波振動及び熱等を印加して両者を接合する。両者が接合されると、振動や熱によって電極に設けられた材料が拡散して金属接合が形成される。

【0064】

以上のように積層されて形成される三次元実装型の半導体装置の最も下（又は最も上）に位置する半導体装置本体部の接続端子24には、外部端子が接続される。この外部端子はハンダ又は金属等で形成することができるが、必ずしもこれらに制限される訳ではなく、導電性の部材で形成すればよい。また、ハンダボールは必ずしも必要ではなく、半導体装置本体部を基板上に実装して、半導体モジュールを構成してもよい。さらに、ハンダボールを形成せず、マザーボード実装時にマザーボード側に塗布されるハンダクリームを利用し、その熔融時の表面張力で電氣的な接続をとってもよい。

【0065】

以上説明したように、本実施形態による半導体装置の製造方法によれば、パッシベーション膜18を開口し、引き続き電極パッド16を開口して電極パッド16に開口部H2を形成した後、パッシベーション膜18の上面及び開口部内壁、さらには電極パッド16、層間絶縁膜14、絶縁膜12の開口部内壁に形成され、その開口底部に自身の開口部H5を有してなるハードマスク29をマスクとして基板10を穿孔している。このため、基板10から電極パッド16に至る積層方向において貫通孔内面に段差部を形成することが可能となり、その貫通孔内部に形成する接続端子24の抜け防止に寄与することが可能となる。

【0066】

また、上述したように、絶縁膜20に接続孔28を形成するに際して、貫通孔11を塞ぐ構成のブリッジ状の蓋部72bを備えるようにレジスト72をパターニングしたため、レジスト72が貫通孔11内部に潜入することが防止され、レジスト塗布後に貫通孔11内を洗浄しなくても、簡便に不純物混入の極めて少ない貫通孔11を確保することができる。その結果、貫通孔11内に形成する接続端子24（図1参照）の導通性を高めることが可能となり得る。

【0067】

また、本実施形態によれば、半導体素子が形成されていない領域に配設された電極パッド16に開口部H2（貫通孔11）を穿孔して接続端子24を形成しているため、電極パッド16の形成位置とは異なる位置に接続端子24を形成した場合に比べて、半導体装置の面積を有効に利用することができ、その結果として半導体装置の設計の自由度が向上する。ここで、接続端子24を電極パッド16の形成位置とは異なる位置に形成した場合には、接続端子24の大きさが制限されることがあったが、本実施形態では接続端子24の大きさを電極パッド16と同程度の大きさにすることができるため、これにより他の半導体装置と接続される面積が大になり、その結果として半導体装置の信頼性・信頼性を向上させることができる。

【0068】

なお、本実施形態では接続端子24を構成する導電部材として銅を用いており、銅を充填させる際にCuダマシン法を採用することができる。すなわち、孔部H3に銅をCVD法、電界メッキ法等により充填させ、CMPにより表面の表面の不要な部分を研磨除去する方法により、接続端子24を形成することができる。勿論、接続端子24は銅以外のアルミニウム等を主体として構成することも可能である。

【0069】

（第2の実施の形態）

次に、本発明の半導体装置の第2の実施の形態について説明する。図7は第2の実施の形態の半導体装置について、その要部を示す部分断面模式図であって、第1の実施の形態の図1に相当する図である。第2の実施の形態の半導体装置200は、シリコン基板10上

10

20

30

40

50

に絶縁膜 1 2 及び層間絶縁膜 1 4 を介して電極パッド 1 6 が積層された構成の半導体装置本体部 1 を複数積層してなるものであって、第 1 の実施の形態と大きく異なる点は、シリコン基板 1 0、絶縁膜 1 2、層間絶縁膜 1 4 及び電極パッド 1 6 を貫通する貫通孔 1 1 が面一に形成されている点である。したがって、図 1 と同じ構成のものについては、該図 1 と同じ符号を付し説明を省略する。

【0070】

各半導体装置本体部 2 は、シリコン基板 1 0 と電極パッド 1 6 の積層方向に面一で貫通する貫通孔 1 1 を具備してなり、該貫通孔 1 1 内部には導電部材からなる接続端子 2 4 が挿通されている。このような本実施の形態の半導体装置 2 0 0 によると、貫通孔 1 1 の内面が面一で段差の生じない状態で形成されているため、当該貫通孔 1 1 内面へのメッキ処理等が容易となり、段差がある場合に比して均一な薄膜を形成することが可能となる。

10

【0071】

また、本実施の形態においても、貫通孔 1 1 内部に挿通された接続端子 2 4 により半導体装置本体部 2 の表裏間で導通をとることができ、この表面及び／又は裏面に別の半導体装置本体部を積層することが可能なため、半導体装置本体部 2 を三次元実装させることが可能となる。そして、貫通孔 1 1 を電極パッド 1 6 内部に設けたため、シリコン基板 1 0 上の電極パッド 1 6 が形成されていない領域に貫通孔を形成する場合に比して、省スペース化が可能となり、当該半導体装置の高機能化ないし小型化を実現することが可能となり得る。

【0072】

また、このような本実施の形態の半導体装置 2 0 0 において接続端子 2 4 と電極パッド 1 6 との接続を、貫通孔 1 1 内部の接続端子 2 4 から電極パッド 1 6 に対して直接行うのではなく、貫通孔 1 1 の内面に沿って電極パッド 1 6 から突出した構成の絶縁壁部 1 3 を跨ぐ形にて、電極パッド 1 6 と平面的に接続するものとしたため、接続端子 2 4 は絶縁壁部 1 3 上を超えて電極パッド 1 6 と接続することとなり、つまり接続端子 2 4 が絶縁壁部 1 3 と電極パッド 1 6 との双方に接面した構成となる。この場合、接続端子 2 4 と絶縁壁部 1 3 及び電極パッド 1 6 との接面には少なくとも絶縁壁部 1 3 の厚さ分だけの段差が生じ、段差なしに面一で接続端子 2 4 と絶縁壁部 1 3 及び電極パッド 1 6 とを密着させた場合に比して、その密着力が高くなり、その結果、接続端子 2 4 と電極パッド 1 6 との間の電氣的接続状態を安定化することが可能となる。

20

30

【0073】

なお、図 7 に示した半導体装置 2 0 0 の製造方法については、図 2 (b) から図 2 (c) に示したような、電極パッド 1 6 及び絶縁膜 1 2、1 4 に対する開口工程と、基板 1 0 に対する穿孔工程とを同一工程にて行うのが良い。これにより、各層の開口径が略同一となり、段差のない、若しくは段差の少ない貫通孔 1 1 を形成することができる。なお、このような方法によっても若干の段差が生じた場合には、その段差の部分をエッチングにより除去するものとしても良い。

【0074】

上記のような基板 1 0 に対する穿孔工程を行った後は、図 4 (b) に示すような絶縁膜 2 0、図 5 に示すような接続孔 2 8 及び下地膜 2 2 を形成し、接続端子 2 4 を充填することで、貫通孔 1 1 に段差のない半導体装置本体部 2 を得ることができる。勿論、この場合も図 5 (a) に示したようなブリッジ状の蓋部 7 2 b を備えたレジスト 7 2 により接続孔 2 8 を形成するのが良い。

40

【0075】

(第 3 の実施の形態)

図 9 は、本発明の半導体デバイスの一実施形態たる回路基板の概略構成を示す斜視図である。図 9 に示すように、本実施の形態の半導体デバイス 1 0 2 は、上記半導体装置 1 0 0 (2 0 0, 3 0 0) が回路基板 1 0 1 上に搭載された構成を具備している。回路基板 1 0 1 には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板 1 0 1 には例えば銅等からなる配線パターンが所望の回路となるように形成されており、

50

それらの配線パターンと半導体装置 100 の配線パターンとが機械的に接続され、又は、上述した異方性導電膜を用いて電氣的な導通がとられている。

【0076】

また、本実施形態の半導体装置を具備した半導体デバイスを有する電子機器として、図 10 にはノート型パーソナルコンピュータ 201 が示されている。図 9 に示した半導体デバイスは各電子機器の筐体内部に配置される。

【0077】

また、電子機器は、上記のノート型コンピュータ及び携帯電話に限られる訳ではなく、種々の電子機器に適用することができる。例えば、液晶プロジェクタ、マルチメディア対応のパーソナルコンピュータ（PC）及びエンジニアリング・ワークステーション（EWS）、ページャ、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS 端末、タッチパネルを備えた装置等の電子機器に適用することが可能である。

10

【図面の簡単な説明】

【図 1】 第 1 の実施の形態の半導体装置について概略構成を示す断面模式図。

【図 2】 図 1 の半導体装置の一製造工程を示す断面模式図。

【図 3】 図 2 に続く、半導体装置の一製造工程を示す断面模式図。

【図 4】 図 3 に続く、半導体装置の一製造工程を示す断面模式図。

【図 5】 図 4 に続く、半導体装置の一製造工程を示す断面模式図。

【図 6】 図 5 に続く、半導体装置の一製造工程を示す断面模式図。

20

【図 7】 第 2 の実施の形態の半導体装置について概略構成を示す断面模式図。

【図 8】 半導体装置の一変形例について概略構成を示す断面模式図。

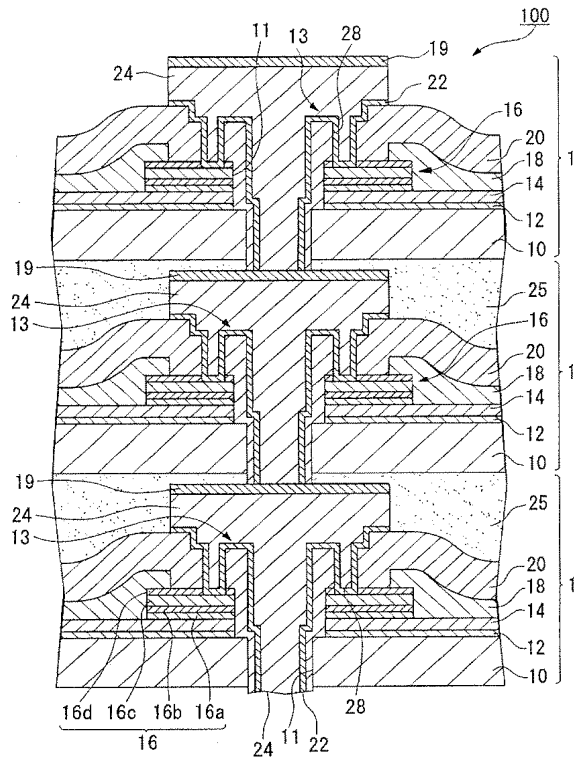
【図 9】 第 3 の実施の形態の半導体デバイスについて概略構成を示す斜視図。

【図 10】 電子機器の一実施の形態について概略構成を示す斜視図。

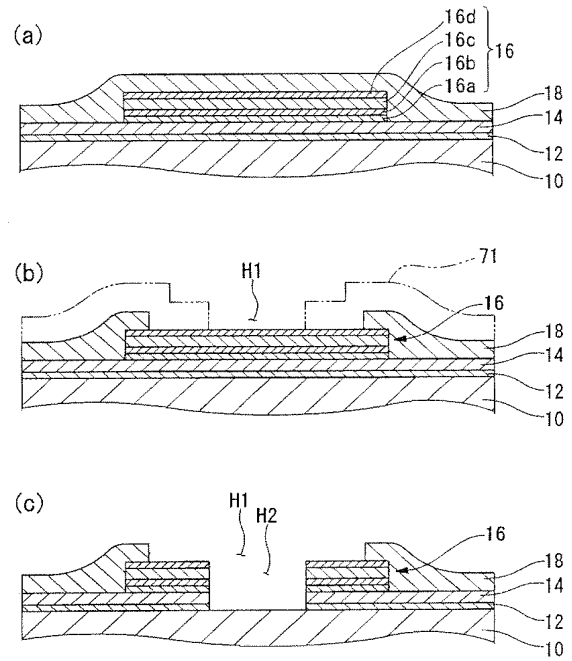
【符号の説明】

1, 2…半導体装置本体部、10…シリコン基板（基板）、11…貫通孔（開口部）、13…絶縁壁部（絶縁部材）、16…電極パッド（電極）、18…パッシベーション膜（絶縁膜）、20…絶縁膜、24…接続端子（導電部材）、72…レジスト、100, 200、300…半導体装置、102…半導体デバイス、201…電子機器

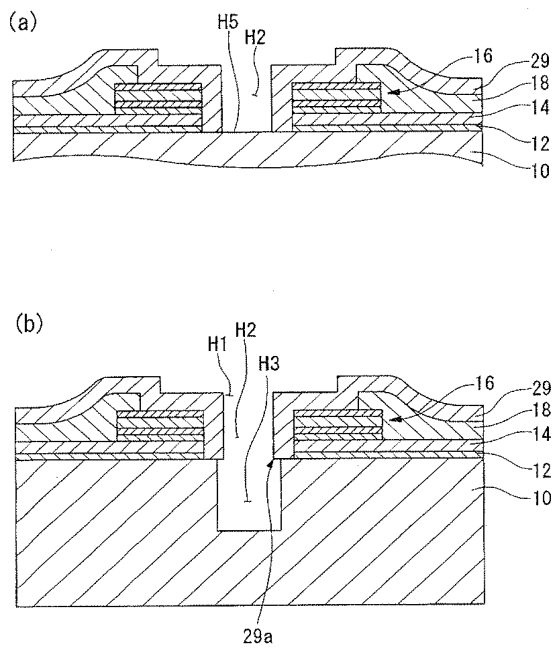
【図 1】



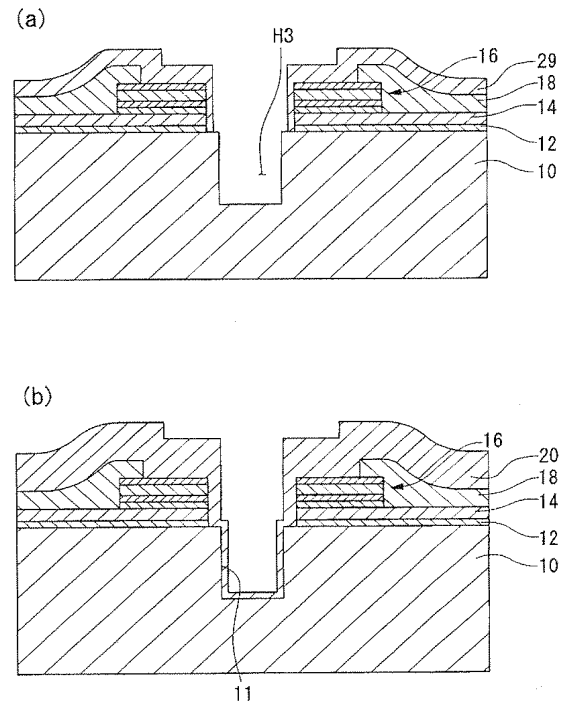
【図 2】



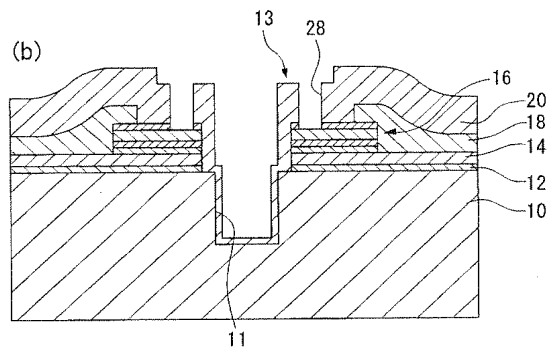
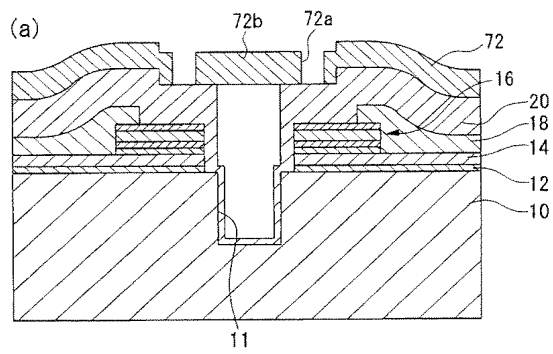
【図 3】



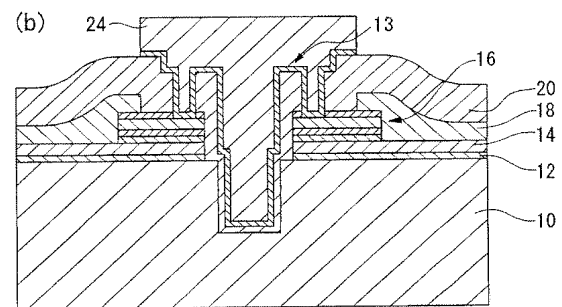
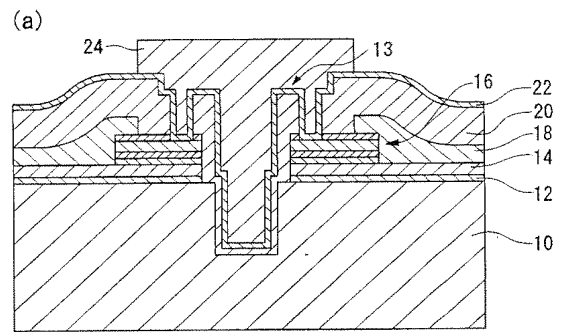
【図 4】



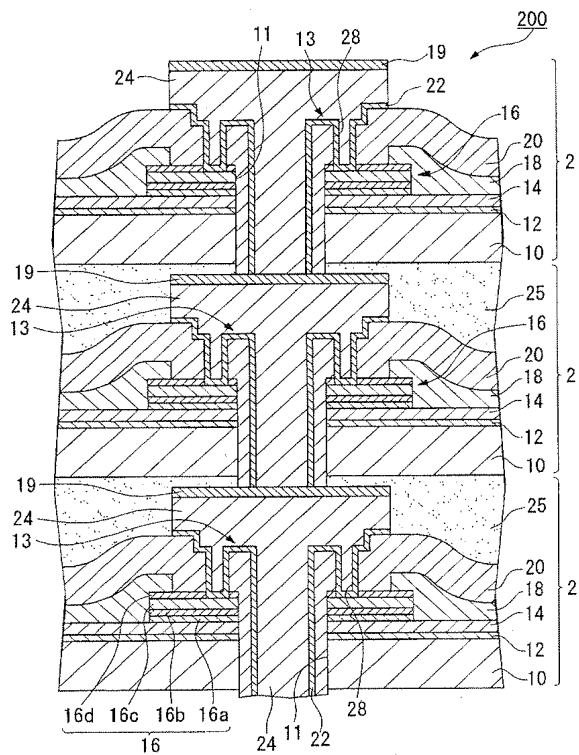
【図 5】



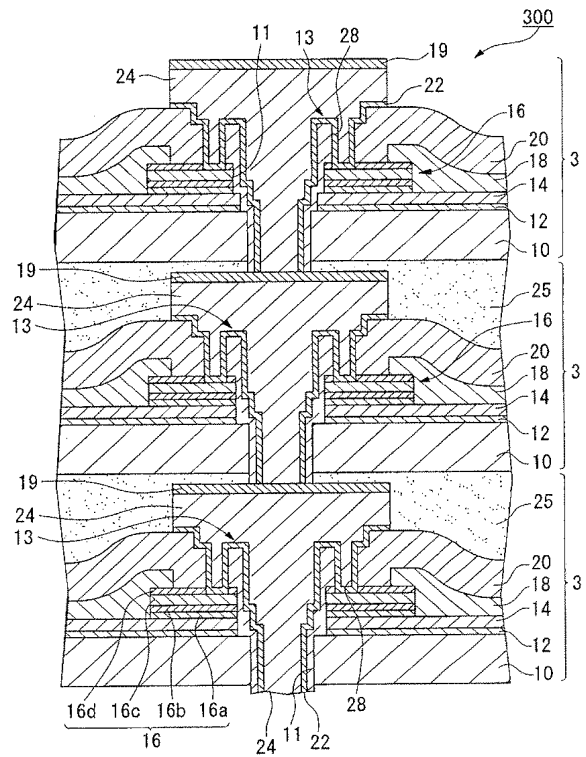
【図 6】



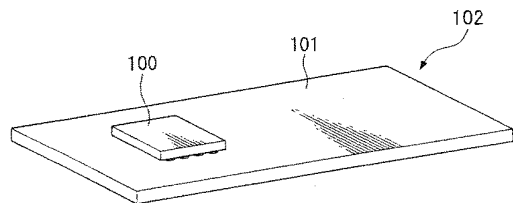
【図 7】



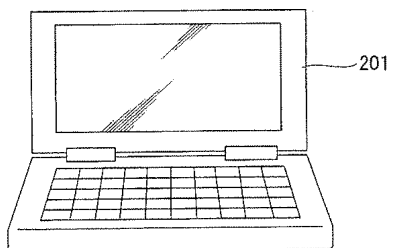
【図 8】



【図 9】



【図 10】



フロントページの続き(51) Int. Cl.⁷

F I

テーマコード (参考)

H O 1 L 25/18

F ターム (参考) 5F033 HH09 HH11 HH18 HH33 JJ08 JJ11 MM01 MM08 MM30 NN05
NN07 PP06 PP15 PP26 PP27 QQ07 QQ08 QQ09 QQ10 QQ11
QQ13 QQ19 QQ21 QQ27 QQ28 QQ37 QQ48 RR04 RR06 RR15
RR22 SS04 SS15 TT04 TT07 VV07